

Dr. Vörösházi Zsolt

voroshazi.zsolt@virt.uni-pannon.hu

Tervezési módszerek programozható logikai eszközökkel

1. Programozható logikai eszközök (PLD) és FPGA-k bemutatása. FPGA-s fejlesztő rendszerek. Beágyazott processzorok (röviden).

Oktatási cél

- A **Pannon Egyetemen** 2010/11 őszi félévétől az aktuális ipari követelményeknek megfelelő tematikával útjára indult a **„Tervezési módszerek programozható logikai eszközökkel” c. tárgy**, amely elsődlegesen a *Villamosmérnök BSc* hallgatóknak egy áttekintést nyújt az FPGA-alapú digitális logikai hálózatok VHDL tervezésébe. A tárgyat a 2014/15 félévtől már az *Mérnök Informatikus BSc* hallgatók is felvehetik, a műszaki képzés erősítése érdekében. 2015 tavaszától kezdve pedig a mérnöktovábbképző tanfolyam keretében is lehetőség nyílik a modern programozható logikai eszközök alkalmazásának elméleti,- és gyakorlati szintű megismerésére.
- A tanfolyam laborgyakorlatain a résztvevőknek önállóan, vagy akár kisebb csoportokban együtt dolgozva kell a kitűzött feladatokat megoldaniuk, és a terveket implementálniuk **Digilent Nexys-2 / Digilent ZYBO** fejlesztő kártyákon, ezáltal is ösztönözve őket a valós elvárásokra: az együttes tervezés-, fejlesztés-, és tesztelés metodikájára.
- Az eddigi oktatási tapasztalatokat és hallgatói visszajelzéseket, valamint az ipari partnerek érdeklődését és igényeit is szem előtt tartva egy olyan hiánypótló előadás vázlatot készítettem, amely nemzetközi szintű alkalmazott szakirodalomra épül. A jegyzet bizonyos részei a *Xilinx Embedded System Design Flow*, valamint a *Professor Workshop and Teaching Materials* segédanyagaira is épül.

Tárgyalt ismeretkörök

1. előadás

I.) Programozható logikai eszközök (PLD), és FPGA-k bemutatása (felépítés),

II.)-III.) Laboron használt FPGA-k, és fejlesztő platformok bemutatása:

Digilent ZYBO (Xilinx Zynq)

IV.) FPGA-k beágyazott processzorai (röviden)

Általános ismertetés

I. PLD ÉS FPGA ÁRAMKÖRÖK

Miért lehet fontos a programozható logikai eszközök alkalmazása?

- Az 1980-as évek előtti időszakban, a digitális áramkörök logikai hálózatainak tervezése során még nem álltak rendelkezésre olyan modern fejlesztő eszközök, mint napjainkban. Nagy komplexitású (sok bemenetű - sok kimenetű) logikai kombinációs és sorrendi hálózatok tervezése éppen ezért lassú és körülményes volt: sokszor papír alapú tervezéssel, többszöri manuális ellenőrzéssel, számításokkal párosult. Fejlett szimulációs eszközökről (*CAD*) sem beszélhettünk, ezért a prototípus tervezésnél nagy volt a hibavalószínűség.
- Ma mindezek együttese automatizált módon áll rendelkezésre (*EDA – elektronikai tervezés automatizálás*), amely a programozható logikai architektúrák használata mellett (*PLD*), mind a nyomtatott áramkörök (*PCB*), mind pedig az alkalmazás specifikus integrált áramkörök és processzorok (*ASIC/ASSP*) relatíve gyors prototípus fejlesztését, megvalósítását (implementáció) és tesztelését (verifikáció) támogatja, valamint minimalizálja az esetlegesen előforduló hibákat. A **hardver / firmware / szoftver** részeket, akár önállóan, akár együttesen és konzisztens módon lehet tervezni és tesztelni.

PLD és ASIC

- Az **automatizált elektronikai tervezés (EDA)** során a **programozható logikai eszközök (PLD)** használata tovább csökkenti a fejlesztésre fordítandó időt, és ezáltal minimalizálja a költségeket is.
- Éppen ezért sok alkalmazási területen érdemesebb először az adott funkció kifejlesztését egy programozható logikai eszközön megvalósítani és letesztelni, majd pedig - ha teljesülnek a követelmény specifikációban megfogalmazott feltételek - következhet csak a kitesztelt funkciónak megfelelő **alkalmazás specifikus integrált áramkör/processzor (ASIC/ASSP)** tervezése, és tesztelése. Ez nagyban lerövidíti az ASIC áramkörök fejlesztési idejét és mérsékelheti nem megtérülő költségeit (**NRI**).

Programozható logikai áramkörök

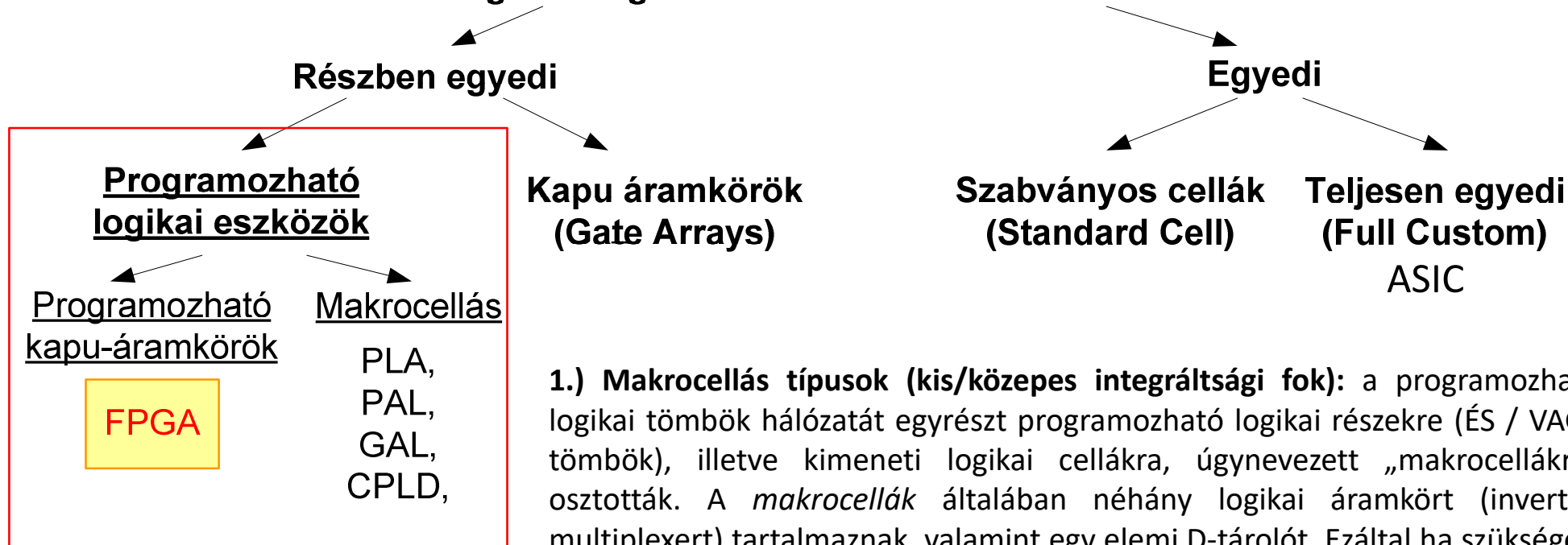
- A Programozható logikai áramköröket (**PLD: Programmable Logic Devices**) általánosan a kombinációs logikai hálózatok és sorrendi hálózatok tervezésére használhatjuk. Napjainkban ezek VLSI (Very-Large Scaling Integrated IC) típusú alkatrészek:
 - Több millió logikai kaput, vagy ún. ekvivalens tranzisztort jelenthet
- Azonban míg a hagyományos kombinációs logikai hálózatok dedikált összeköttetésekkel, illetve kötött funkcióval (kimeneti függvény) rendelkeznek, addig a programozható logikai eszközökben pontosan ezek változtathatók, az alábbi lehetséges módokon:
 - A felhasználó által *egyszer programozható* / konfigurálható logikai eszközök (**OTP: One Time Programmable**), amelynél a gyártás során nem definiált funkció a tervezéskor egyszer még megváltoztatható (ilyenek pl. a korai PAL, PLA eszközök)
 - *Többször, akár tetszőleges módon* programozható logikai eszközök = *újrakonfigurálható* (ilyenek pl. a korai GAL, vagy a mai modern CPLD, **FPGA** eszközök)

Konfigurálás – „programozás”

- **Konfigurálás** – mielőtt az eszközt használni szeretnénk egy speciális (manapság általában JTAG szabványú) programozó segítségével „fel kell programozni”, azaz le kell tölteni a konfigurációs állományt (bitfájl vagy object fájl). **A programozás** a legtöbb PLD esetében a belső **programozható összeköttetés hálózat** fizikai típusától függően azok beállításával történik. A programozható összeköttetésekben a következő lehetséges alkatrészek találhatók:
 - *Biztosíték (Fuse)*: átégetésük után nem visszafordítható a programozási folyamat (OTP). Korábban a PAL eszközök népszerű kapcsoló elemeként használták.
 - *Antifuse technológia*: (OTP), az antifuse-os kristályszerkezetű kapcsoló elem 'átolvasztása' után egy nagyon stabilan működő összeköttetést kapunk, amely sajnos szintén nem visszafordítható folyamatot jelent. A technológia drága, az előállításához szükséges maszk-rétegek nagy száma miatt, nagyon jó zavarvédelem érdekében használják (pl. úrkutatás).
 - **SRAM cella + tranzisztor**: tetszőlegesen programozható (a mai FPGA-k esetén legelterjedtebb kapcsolás-technológia), az SRAM-ban tárolt inicializáló értéktől függően vezéri a tranzisztor gate-elektrodáját.
 - *SRAM cella + multiplexer*: tetszőlegesen programozható az SRAM cellában tárolt értéktől függően (kiválasztó jel) vezérelhető a multiplexer
 - *Lebegő kapus tranzisztor (Floating Gate) technológia*: elektromosan tetszőlegesen programozható, a mai EEPROM/Flash technológia alapja.

Tervezési módszerek

Digitális logikai áramkörök tervezési módszerei



1.) Makrocellás típusok (kis/közepes integráltsági fok): a programozható logikai tömbök hálózatát egyrészt programozható logikai részekre (ÉS / VAGY tömbök), illetve kimeneti logikai cellákra, úgynevezett „makrocellákra” osztották. A *makrocellák* általában néhány logikai áramkört (inverter, multiplexert) tartalmaznak, valamint egy elemi D-tárolót. Ezáltal ha szükséges, regiszterelni lehet a kimeneti függvényt, majd pedig vissza lehet csatolni annak értékét a bemenetre.

- a.) PLA: Programozható logikai tömb, OTP - általában biztosítékot használ
- b.) PAL: Programozható ÉS/tömb logika, OTP – általában biztosítékot használ
- c.) GAL: Generikus tömb logika: PAL továbbfejlesztése, de már többször törölhető és programozható (nagy integráltsági fok):
- d.) CPLD: Komplex programozható logikai eszköz

2.) Programozható kapu-áramkörök (nagyon-nagy integráltsági fok):

FPGA: Felhasználó által tetszőlegesen programozható (újrakonfigurálható) kapu áramkör

„PLD”-k két fő típusa

- 1.) **Makrocellás PLD-k** (Programmable Logic Devices):
 - PLA } **Egyszer programozható (OTP)**
 - PAL }
 - GAL
 - **CPLD**
- 2.) **FPGA** (Field Programmable Gate Array): Programozható Kapu-tömbökből álló áramkörök:
 - **AMD-XILINX** (Spartan, Virtex, Kintex, Artix) ~ **49% !**
 - **Intel-FPGA(Altera)** (Stratix, Arria, Cyclone), ~ **40%**
 - Lattice sorozatok, ~6%
 - MicroSemi-Actel (pl. úrkutatásban), ~4%
 - QuickLogic, ~1%
 - További kisebb gyártók termékei.

AMD

XILINX

intel **FPGA**

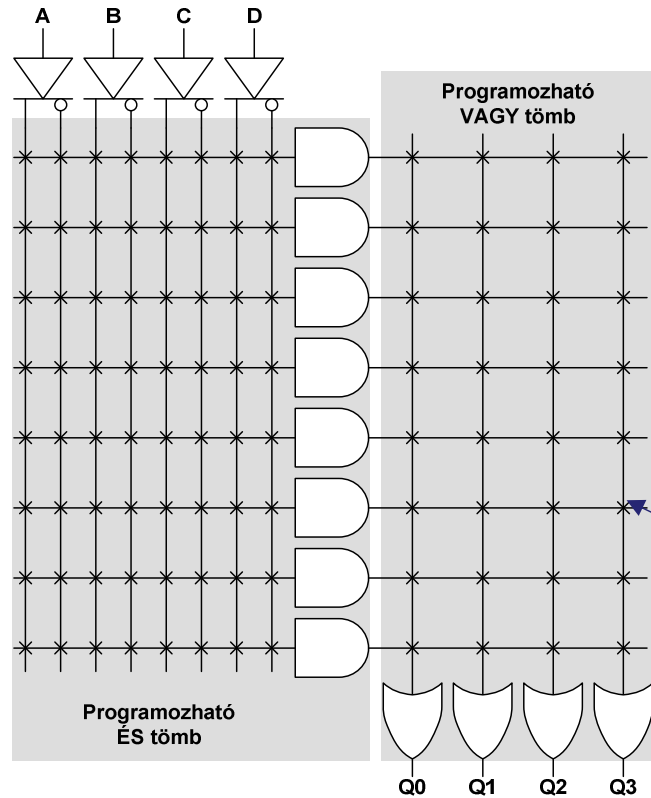
Microsemi

Lattice
Semiconductor
Corporation

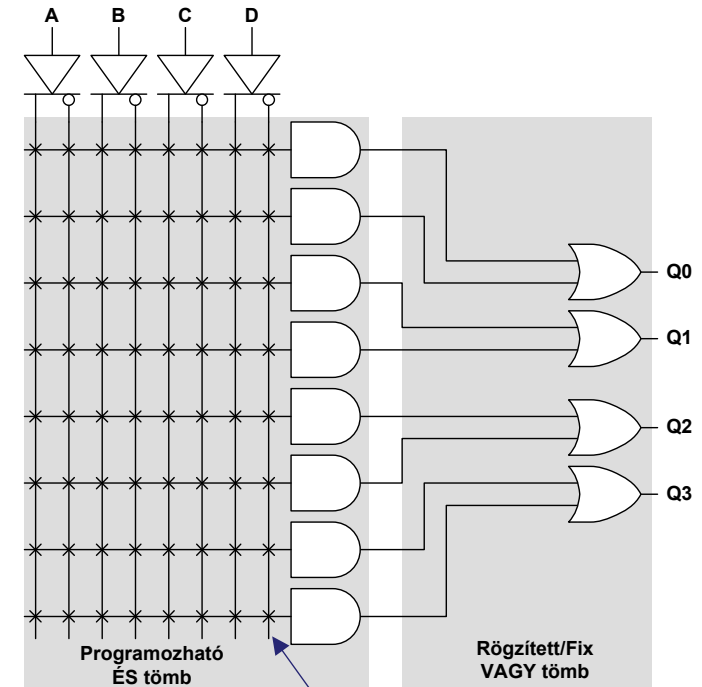
QuickLogic

Makrocellás PLD-k

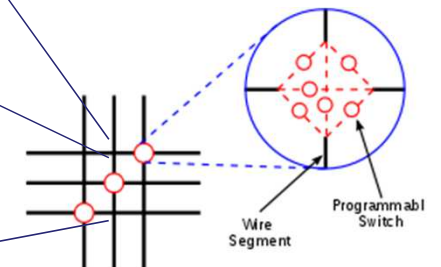
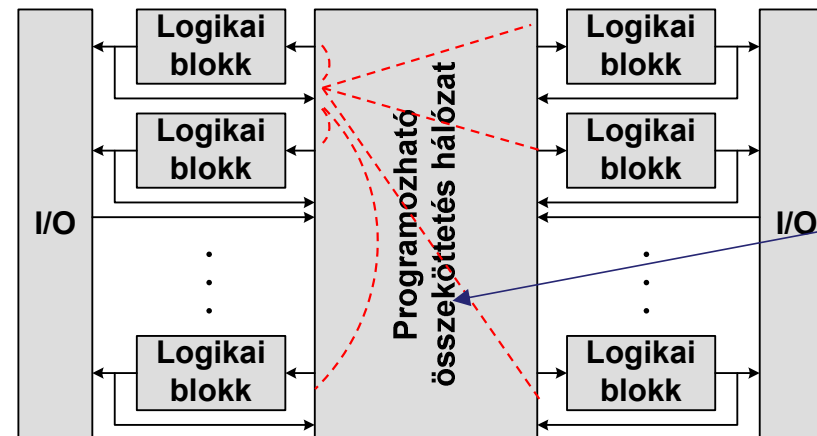
PLA



PAL

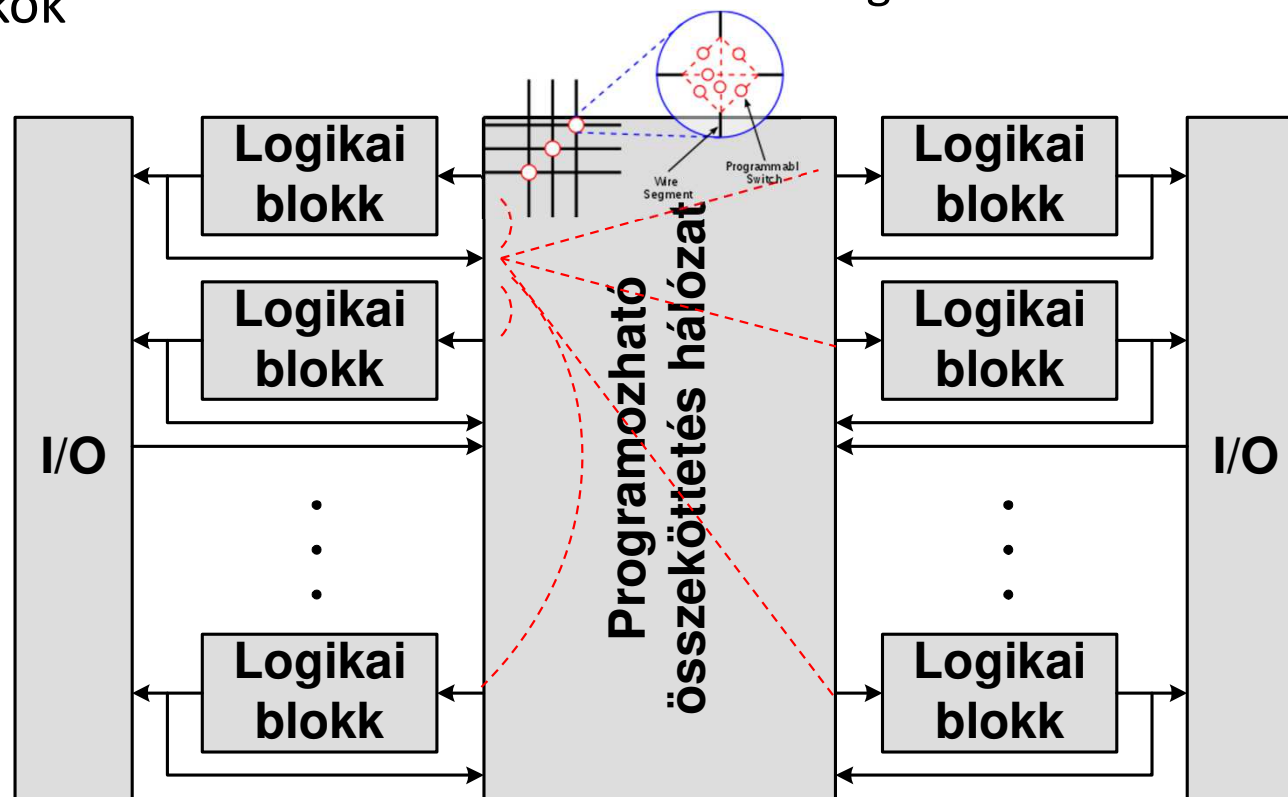


CPLD



CPLD felépítése

- 1 Logikai (Makro) Blokkon belül:
 - ~ PAL / PLA (~ K.H.)
 - Regiszterek (D-FF)
- Programozható összeköttetések (PI: Programmable Interconnection)
 - Teljes (Full-crossbar), vagy
 - Részleges összeköttetés hálózat.
- I/O Blokkok



CPLD (folyt)

A CPLD-kben található Logikai Blokk-ok (=makrocellák) tartalmazznak:

- egyrészt *logikai kapuk* tömbjeit (hasonlóan a PAL/GAL áramkörök felépítéséhez – DNF alak),
 - másrészt *regisztereket* (D-tárolókból) a logikai tömbök által előállított kimenetek átmeneti tárolásához, valamint
 - *multiplexereket*, mellyel a programozható összeköttetés hálózatra, vagy I/O blokkok celláihoz lehet továbbítani a belső Logikai Blokkok által előállított kimeneti értékeket. Ezáltal nemcsak logikai kombinációs hálózatokat, hanem akár sorrendi hálózatokat is egyszerűen megvalósíthatunk CPLD-k segítségével
-
- A CPLD-kben található *Programozható összeköttetés hálózat*
 - teljes összeköttetést (mindenki-mindekivel), vagy
 - részleges összeköttetést (valamilyen dedikált struktúra szerint, pl. bemenetet – kimenettel, főként régi CPLD típusok esetén) biztosít az egyes blokkok között.
 - Kikapcsoláskor a CPLD konfigurációs memóriája megtartja értékét (non-volatile típus), ezért nem kell egy külső pl. ROM memóriát használni az inicializációs minták tárolásához, bekapcsoláskor ezek automatikusan betöltésre kerülnek. A CPLD-et közkedvelten alkalmazzák különböző interfészek jeleinek összekapcsolásához (*glue-logic*), amennyiben a jeleken átalakításra is szükség van, továbbá áraik az FPGA-k árainál jóval kedvezőbbek

FPGA

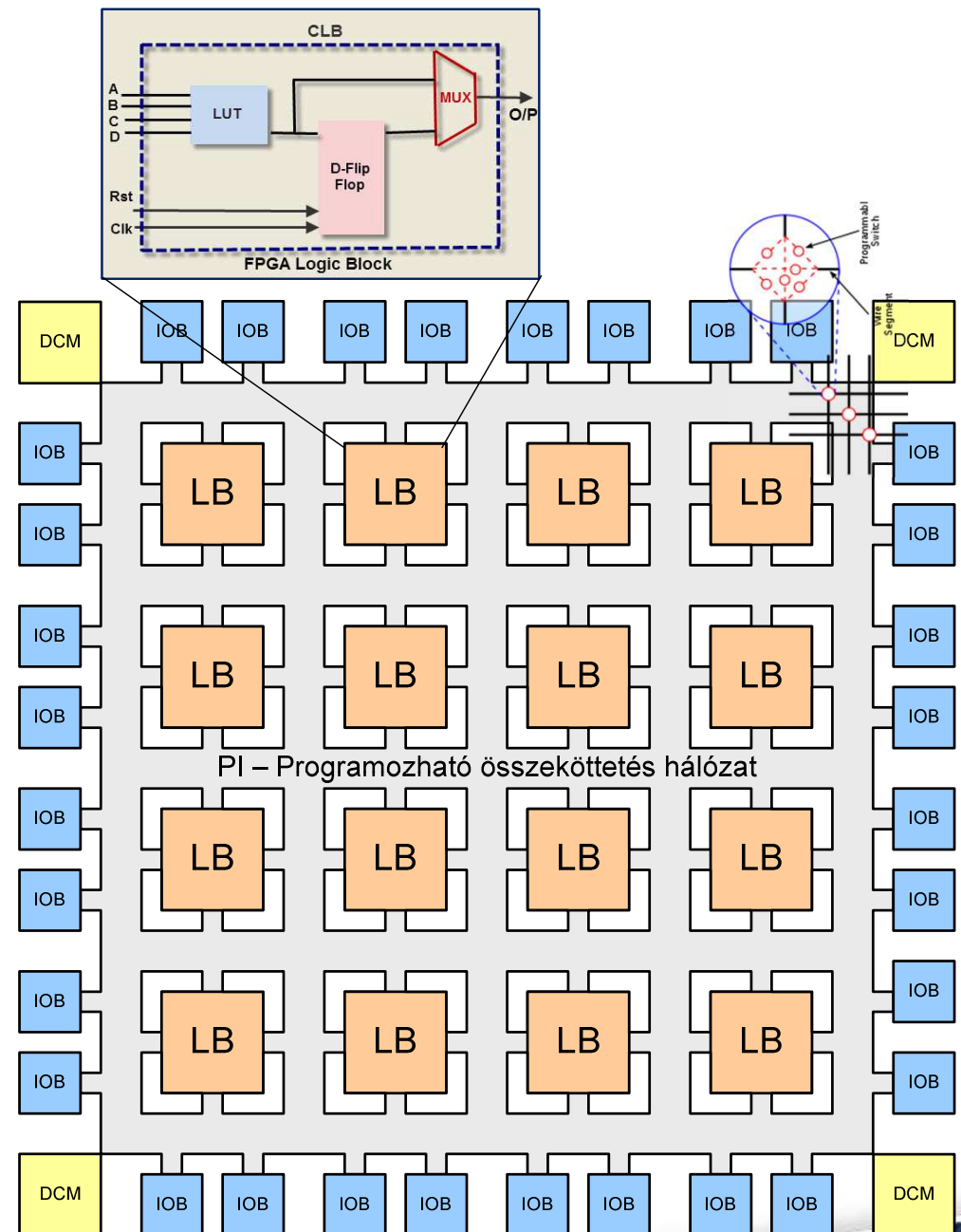
Field Programmable Gate Array = „Felhasználó által tetszőlegesen/többször” programozható kapuáramkör

- architektúráisan tükrözi mind a PAL, ill. CPLD felépítését, komplexitásban pedig a CPLD-ket is felülmúlják. Nagy/nagyon-nagy integráltsági fok: ~ 10.000 - $\sim 10.000.000$ *ekvivalens logikai kaput* is tartalmazhat gyártótól, és sorozattól függően.
- *Ekvivalens tranzisztorszám*
 - Xilinx Virtex-7 2000T FPGA esetén már meghaladta a **~ 6.5 milliárdot** (2012 – 28nm), amely **~ 2 millió** logikai cellát jelentett.
 - a kapható legnagyobb Xilinx Virtex-Ultrascale+ XCVU440 (2015 – 20nm->16nm) FPGA: **20 milliárd tr.** - **~ 4.4 millió** logikai cella! (~ 50 millió logikai kapu ekv.)
 - Intel/Altera Stratix-10, **30 milliárd tranz.** (2016, ~ 5.5 millió logikai cella, 4mag ARM-Cortex A53, 14nm)
 - Xilinx Virtex Ultrascale+ VU19P, **35 milliárd tranz.**, 16 nm (2019, ~ 9 millió logikai cella)
 - Intel Stratix-10 GX 10M **43.3 milliárd tranz.**, 14 nm (2020, **10.2 millió** logikai cella) Dual FPGA mag!
 - Xilinx Versal ACAP **50 milliárd tranz.** 7nm. (2020, **7.4** millió logikai cella)
 - AMD Versal VP1902 SoC (2024?, **18.5** millió logikai cella) Quad FPGA mag!



FPGA – „általános” erőforrásai

- **LB/CLB:** Konfigurálható Logikai Blokkok, amelyekben LUT-ok (Look-up-table) segítségével realizálhatók például tetszőleges, több bemenetű (ált. 4 vagy 6), egy-kimenetű logikai függvények. Ezek a kimeneti értékek szükség esetén egy-egy D flip-flopban tárolhatók el; továbbá multiplexereket, egyszerű logikai kapukat, és összeköttetéseket is tartalmaznak.
- **IOB:** I/O Blokkok, amelyek a belső programozható logika és a külvilág között teremtenek kapcsolatot. Programozható I/O blokkok kb. 30 ipari szabványt támogatnak (pl. LVDS, LVCMOS, LVTTL, SSTL stb.).
- **PI:** az FPGA belső komponensei között a programozható összeköttetés hálózat teremt kapcsolatot (lokális, globális és regionális útvonalak segítségével, melyeket konfigurálható kapcsolók állítanak be)
- **DCM:** Digitális órajel menedzselő áramkör, amely képes a külső bejövő órajelből tetszőleges fázisú és frekvenciájú belső órajel(ek) előállítására



FPGA – „dedikált” erőforrásai

Dedikált erőforrások, amelyek száma és felépítése az FPGA típusoktól és komplexitásuktól függően nagy mértékben változhat:

- **BRAM**: egy-/két-portos Blokk-RAM memóriák, melyek nagy mennyiségű (~×100Kbyte – akár ~×10Mbyte) adat/utasítás tárolását teszik lehetővé, egyenként 18K / 36 Kbites kapacitással *
- **MULT** / vagy **DSP** Blokkok: beágyazott szorzó áramköröket jelentenek, amelyek segítségével hagyományos szorzási műveletet, vagy a DSP blokk esetén akár bonyolultabb DSP MAC (szorzás-akkumulálás), valamint aritmetikai (kivonás) és logikai műveleteket is végrehajthatunk nagy sebességgel.
- **Beágyazott processzor(ok): ****
 - Tetszés szerint konfigurálható / beágyazható ún. *soft-processzor* mag(ok)
 - Példa: Xilinx PicoBlaze, **Xilinx MicroBlaze**, Altera Nios II, stb.
 - **ARM** Cortex M1/M3 (licenzelt soft-core magok - Xilinx Vivado)
 - Fixen beágyazott, ún. *hard-processzor* mag(ok)
 - Példa: IBM PowerPC 405/450 (Xilinx Virtex 2 Pro, Virtex-4 FXT, Virtex-5 FXT), **ARM** Cortex A9/A53/A72/R5 (**Xilinx Zynq/MPSoC**, illetve Altera Cyclone V SoC, Arria V SoC/10, Stratix-10, MicroSemi Smartfusion-1,-2 FPGA chipjei), stb.

* FPGA függő adatok (Xilinx)

** 2020-as adatok szerint

FPGA-k létjogosultsága?

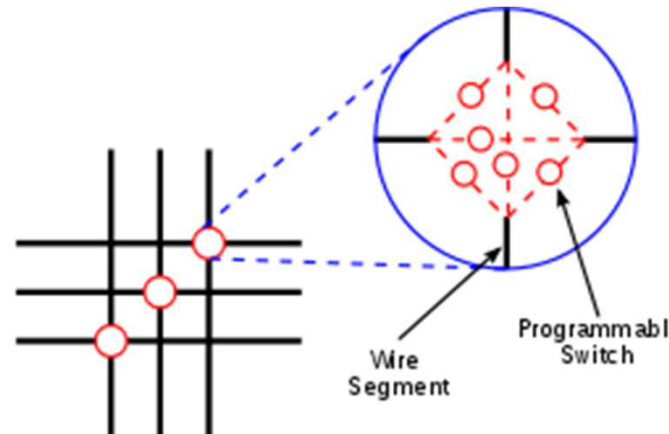
A mai modern FPGA-k a

- nagyfokú flexibilitásukkal,
- nagy számítási teljesítményükkel,
- és relatíve gyors prototípus-fejlesztési – ezáltal
- olcsó kihozatali (piacra kerülési) költségükkel

igen jó alternatívát teremtenek a mikrovezérlős (MCU), illetve DSP-alapú implementációk helyett (pl. jelfeldolgozás, hálózati titkosítás, beágyazott rendszerek, stb. alkalmazásai területén). ASIC lassú fejlesztési idejét az FPGA alapú prototípus tervezéssel gyorsíthatják.

Fejlődésüket jól tükrözi a mikroprocesszorok és az FPGA áramköri technológia fejlődési üteme között fennálló nagyfokú hasonlóság a méretcsökkenésnek (scaling-down) - *Gordon Moore-törvénynek* megfelelően.

Manapság már több tranzisztort tartalmaznak, mint modern MPU-GPU vetélytársaik.

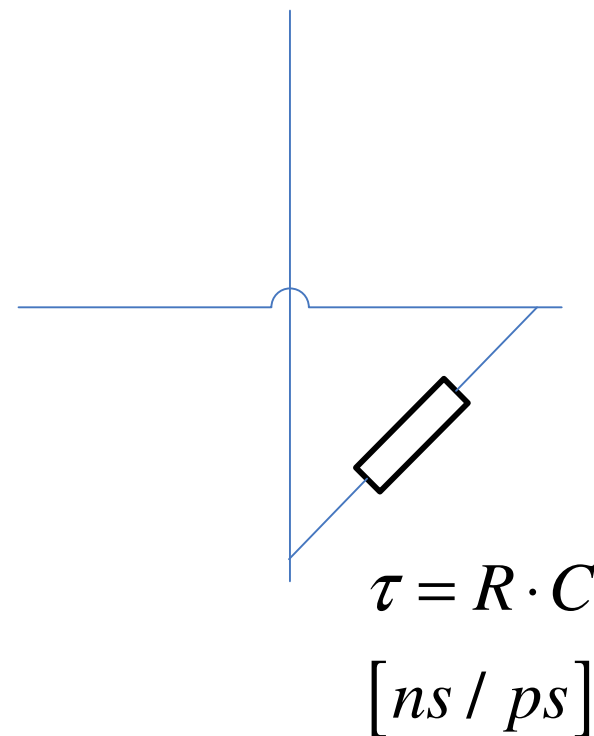


Az „összeköttetések”
programozási technikái
avagy programozható
kapcsolók

Programozási technikák

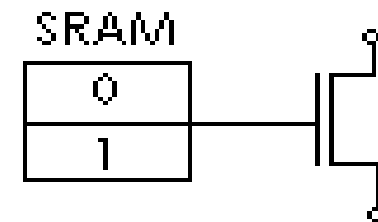
- pontosabban, mi van a programozható összeköttetések csomópontjaiban, illetve milyen módszerrel programozhatóak?

- a.) **SRAM**
- b.) MUX
- c.) Antifuse
- d.) **Floating Gate**
 - e.) EPROM/**EEPROM**/Flash



a.) SRAM cellás

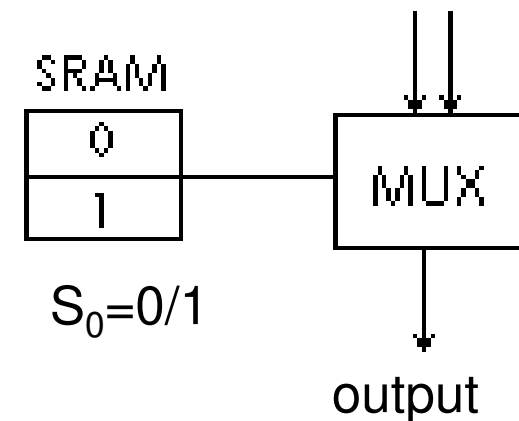
- Tulajdonságai: (pl. Xilinx, Altera/Intel)
 - végtelen sokszor újraprogramozható (statikus RAM)
 - táp kikapcsolása után az SRAM elveszti tartalmát
 - bekapcsoláskor (inicializáláskor) a programot be kell tölteni, fel kell programozni
 - az SRAM cellára egy áteresztő tranzisztor van csatolva. A tranzisztor vagy kinyit (vezet), vagy lezár. Az SRAM értéke, ami egy bitet tárol ('0' vagy '1') letölthető. Összeköttetések, vagy MUX-ok állását is eltárolja.
 - 1 bit tárolása az SRAM-ban (min. 6 tranzisztorból áll)
 - sok tranzisztor (standard CMOS), nagy méret, nagy disszipáció
 - nem kell frissíteni az SRAM-ot
 - nagy 0.5-2 k Ω átmeneti ellenállás
 - nagy 10-20 femtoF parazita kapacitás



b.) MUX - multiplexeres

■ Tulajdonságai:

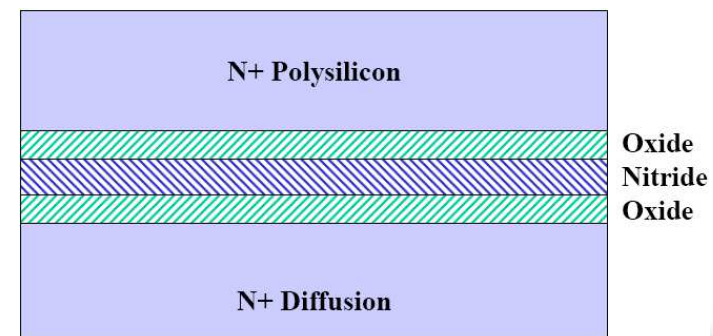
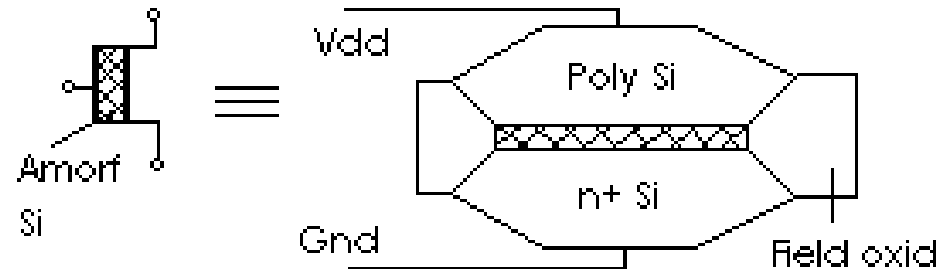
- az SRAM-ban tárolt '0' vagy '1' értéket használunk a Multiplexer bemeneti vonalának kiválasztásához. (Működése hasonló az SRAM celláéhoz.) /Bemenetek közül választ a szelektáló SRAM-beli érték segítségével és a kimenettel köti össze./



c.) Antifuse

A tranzisztor Gate-jét amorf kristályos Si alkotja, amelyet relatíve nagy feszültség (kb 20-30V) hatására átkristályosítunk (átolvasztás), így vezetővé válik véglegesen. Pl. Texas Instruments, Actel, QuickLogic alkalmazza ezt a technológiát. Tulajdonságai:

- A dielektrikum „átégetése” irreverzibilis folyamat, nem lehet újraprogramozni
- csak egyetlen egyszer programozható (OTP)
- kis méreten megvalósítható, kis disszipáció
- kis átmeneti ellenállás 300 Ω
- kis parazita kapacitás 1.1-1.3 femtoF
- előállításához sok maszkréteg szükséges, drága technológiát igényel
- Típusai
 - ONO (Oxid-Nitrid-Oxid)
 - Amorf Si

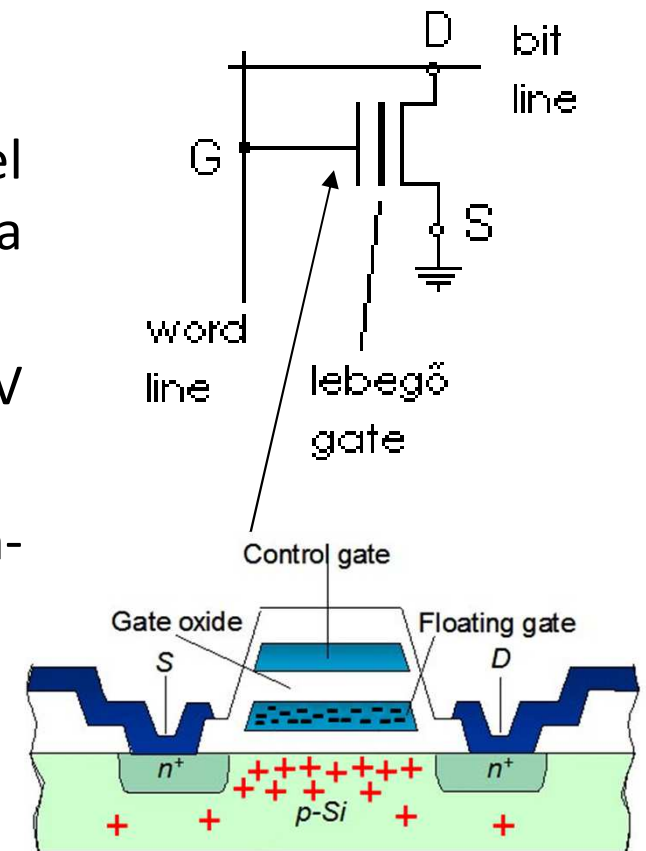


d.) Floating gate

2-gates tranzisztor (Ma már 3). Belső (lebegő) gate-n lévő elektronok mennyisége szabályozható a külső (fix) gate (control/érzékelő) segítségével, ami biztosítja az információ írását, olvasását. Programozható összeköttetéseknel, csomópontokban használatos.

- Tulajdonságai:

- Programozása/írás: control gate segítségével töltéseket viszünk fel a lebegő Gate-re, kinyit a tranzisztor
- többször törölhető (kis ablakon keresztül UV fénnel, ma már programozhatóan)
- kikapcsoláskor is megőrzi tartalmát (non-volatile, akár 99 évig), töltések nem sülnek ki
- nagy 2-4 k Ω átmeneti ellenállás
- nagy 10-20 femtoF parazita kapacitás
- PL. Intel, Actel, Lattice





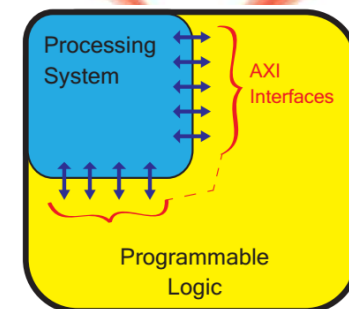
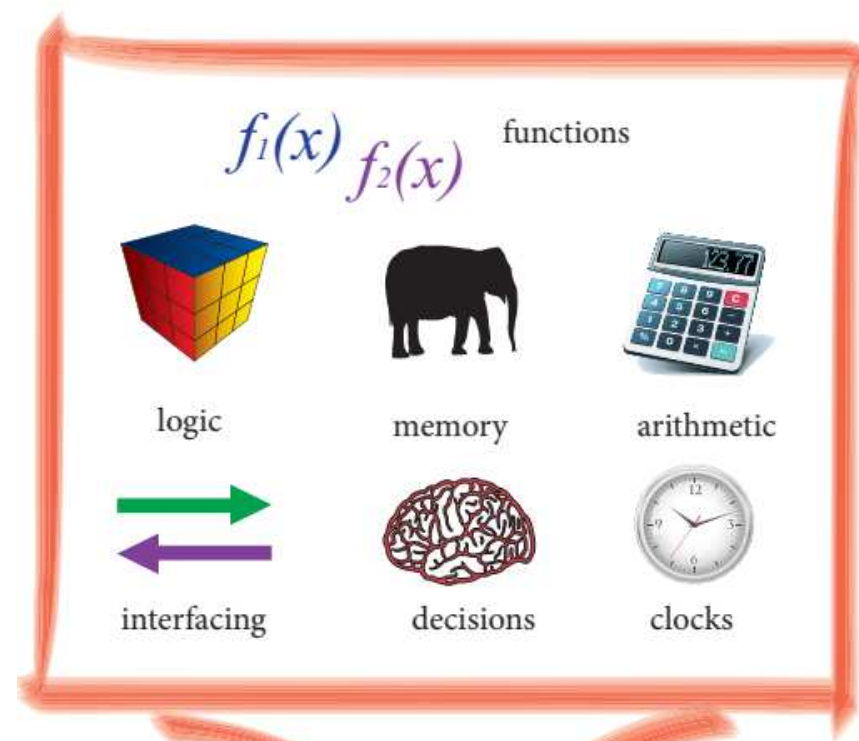
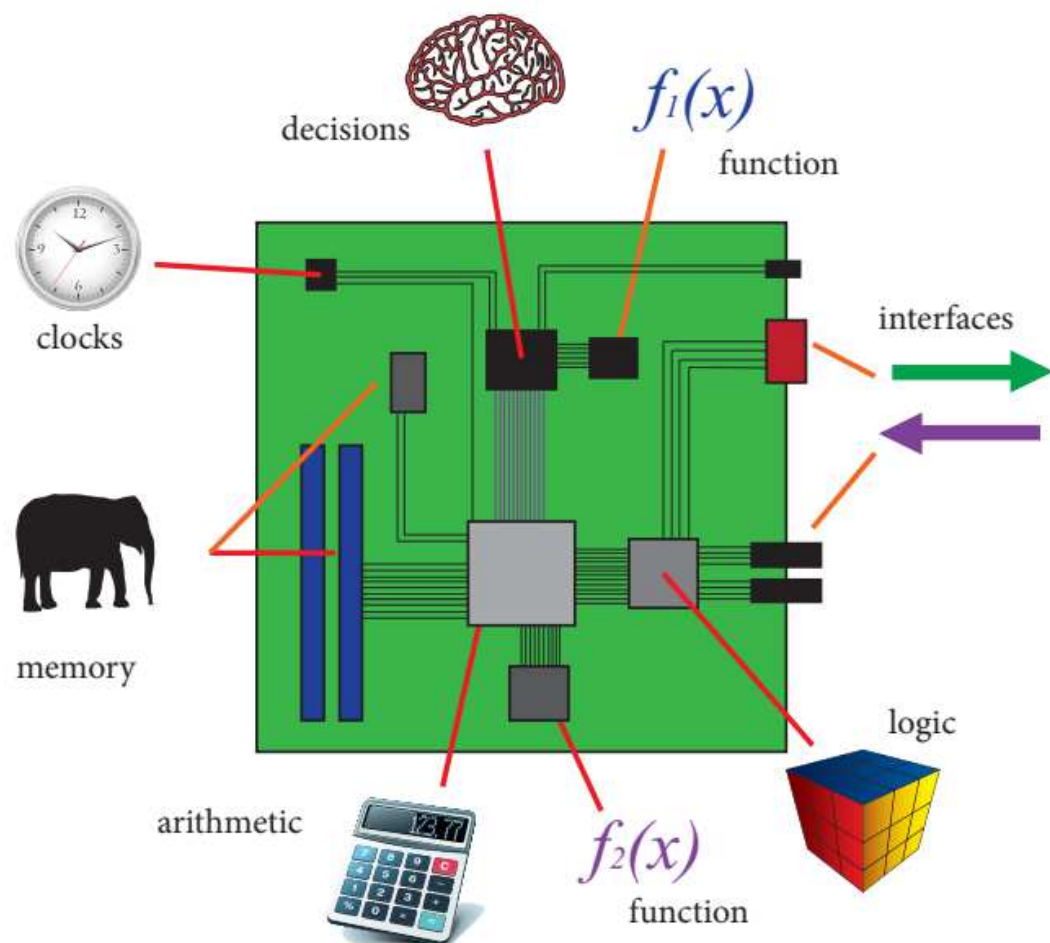
Artix-7 FPGA alapú Zynq APSoC

II.A LABORON HASZNÁLT FPGA-K ÉS FEJLESZTŐ ESZKÖZÖK BEMUTATÁSA

Fogalmak tisztázása

- **FPGA:** általában logikai és dedikált erőforrásokból álló programozható áramkör
 - Pl. Xilinx Artix-7 sorozata
- **SoC: System-on-a-Chip** = egychipes rendszer/számítógép
 - Minden funkciót (analóg, digitális, vagy RF) akár egyetlen chipre integrálnak, ahelyett, hogy sok különböző eszközt használnának. Igaz ez egy mai MCU, DSP, ASIC, vagy FPGA esetében is.
- **Zynq** = „Zync” – *cink*, mint ötvöző elem. Szorosan integrálja a hagyományos FPGA logikát (PL) a processzor rendszerrel (PS) => PL+PS integráció
- **APSoC** (lényegében a Xilinx Zynq ilyen): **All Programmable SoC**, azaz minden komponensében programozható SoC chipet jelent.
- **Tehát a Zynq APSoC egy olyan chip, amelyben két rész van integrálva**
 - Programozható logika (PL) = Artix-7 FPGA logika, illetve
 - Processzor rendszer (PS): ARM-Cortex-A9 magok

System-On-a-Board vs. System-On-a-Chip



**Zynq
APSoC**

Felhasznált irodalom

 Gordon E. Moore: Cramming More Components Onto Integrated Circuits, *Electronics Magazine, Electronics*, Volume 38, Number 8, (1965)

- <https://www.cs.utexas.edu/~fussell/courses/cs352h/papers/moore.pdf>

 Xilinx hivatalos weboldal (2020)

- www.xilinx.com

 Xilinx Artix-7 adatlapok

- <https://www.xilinx.com/products/silicon-devices/fpga/artix-7.html>
- http://www.xilinx.com/support/documentation/data_sheets/ds180_7Series_Overview.pdf
- http://www.xilinx.com/support/documentation/user_guides/ug474_7Series_CLB.pdf
- http://www.xilinx.com/support/documentation/user_guides/ug473_7Series_Memory_Resources.pdf

 Xilinx Zynq adatlapok

- [ds190.pdf](#) – Zynq-7000-Overview

Xilinx FPGA családok *

■ Nagy teljesítmény

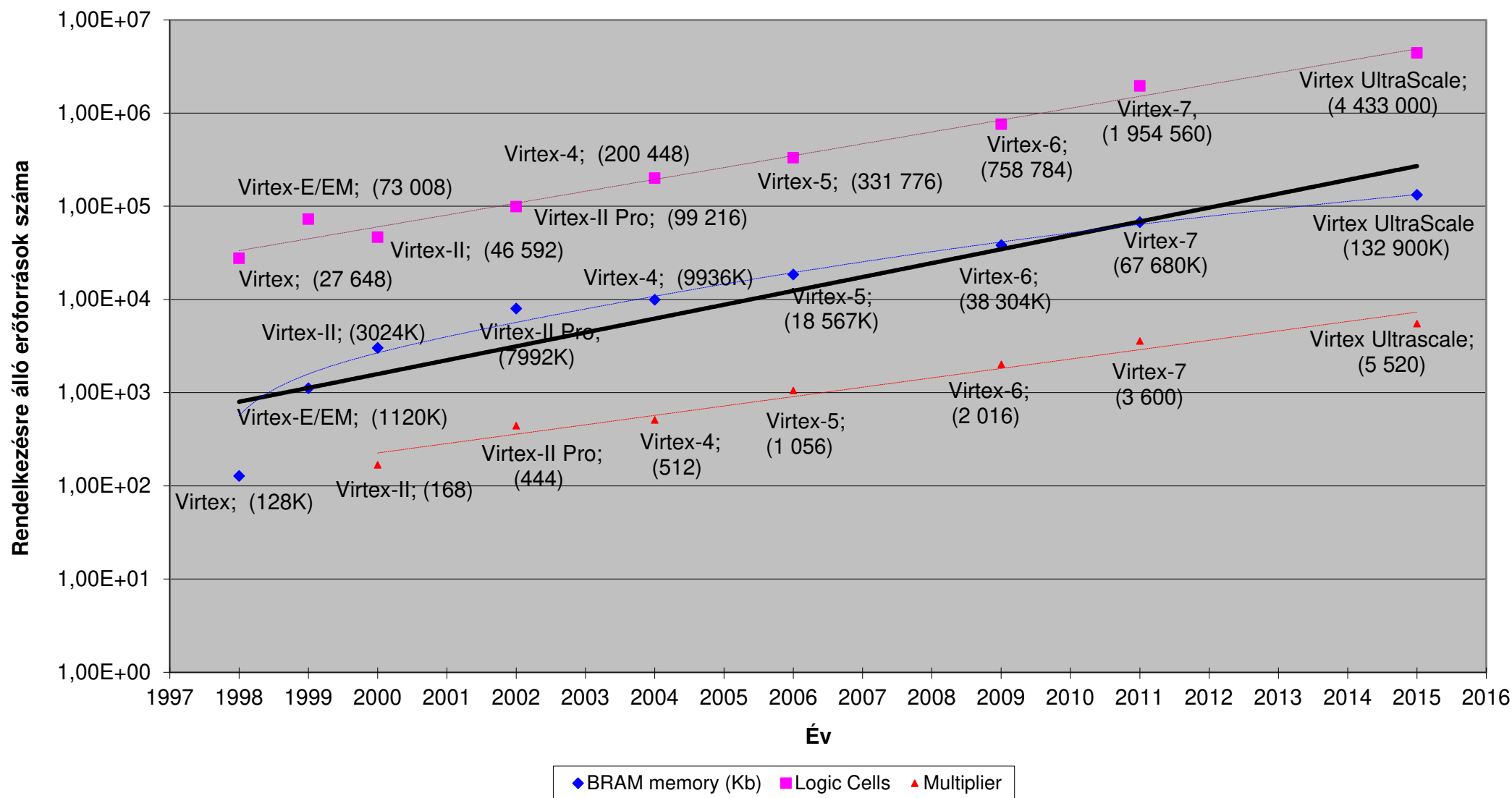
- Virtex (1998)
 - 50K-1M kapu, 0.22μm
- Virtex-E/EM (1999)
 - 50K-4M kapu, 0.18μm
- Virtex-II (1999)
 - 40K-8M kapu, 0.15μm
- Virtex-II Pro/X (2002)
 - 50K-10M kapu, 0.13μm
- Virtex-4 (2004) [LX, FX, SX]
 - 50K-10M kapu, 90nm
- Virtex-5 (2006) [LX, LXT, SXT]
 - 65nm
- Virtex-5 FXT, TXT (2008)
 - 65nm
- Virtex-6 LXT, SXT (2009)
 - 40nm
- Virtex-7 (2011)
 - 28nm

□ Kintex-7 (2011)
■ 28nm

■ Alacsony költség

- Spartan-II (2000)
 - 15K-200K kapu, 0.22μm
- Spartan-IIE (2001)
 - 50K-600K kapu, 0.18μm
- Spartan-3 (2003)
 - 50K-5M kapu, 90nm
- **Spartan-3E (2005)**
 - 100K-1.6M kapu, 90nm
- Spartan-3AN (2006)
 - 50K-1.4M kapu, 90nm
- Spartan-3A - DSP (2006)
 - 1.8M-3.4M kapu, 90nm
- Spartan-6 LX, LXT (2009)
 - 45nm
- ...
- Artix-7 (2011)
 - 28nm
- Spartan-7 (2017)
 - 28nm
- **Zynq-7000 APSoC (2012)**
 - 28nm
- **UltraScale MPSoC (2015)**
 - 16nm

Nagy-teljesítményű Xilinx Virtex FPGA család erőforrásai számának alakulása (1998-2016 időszakban)



*Tranzisztorok fizikai méretcsökkenésének (Gordon Moore trv. „Scaling-down”) hatása a fejlődésre

Xilinx „7-es” sorozatú FPGA-k

https://www.xilinx.com/support/documentation/data_sheets/ds180_7Series_Overview.pdf

Max. Capability	Spartan-7	Artix-7	Kintex-7	Virtex-7
Logic Cells	102K	215K	478K	1,955K
Block RAM ⁽¹⁾	4.2 Mb	13 Mb	34 Mb	68 Mb
DSP Slices	160	740	1,920	3,600
DSP Performance ⁽²⁾	176 GMAC/s	929 GMAC/s	2,845 GMAC/s	5,335 GMAC/s
Transceivers	–	16	32	96
Transceiver Speed	–	6.6 Gb/s	12.5 Gb/s	28.05 Gb/s
Serial Bandwidth	–	211 Gb/s	800 Gb/s	2,784 Gb/s
PCIe Interface	–	x4 Gen2	x8 Gen2	x8 Gen3
Memory Interface	800 Mb/s	1,066 Mb/s	1,866 Mb/s	1,866 Mb/s
I/O Pins	400	500	500	1,200
I/O Voltage	1.2V–3.3V	1.2V–3.3V	1.2V–3.3V	1.2V–3.3V
Package Options	Low-Cost, Wire-Bond	Low-Cost, Wire-Bond, Lidless Flip-Chip	Lidless Flip-Chip and High-Performance Flip-Chip	Highest Performance Flip-Chip



SPARTAN⁷ ARTIX⁷ KINTEX⁷ VIRTEX⁷ ZYNQ⁷

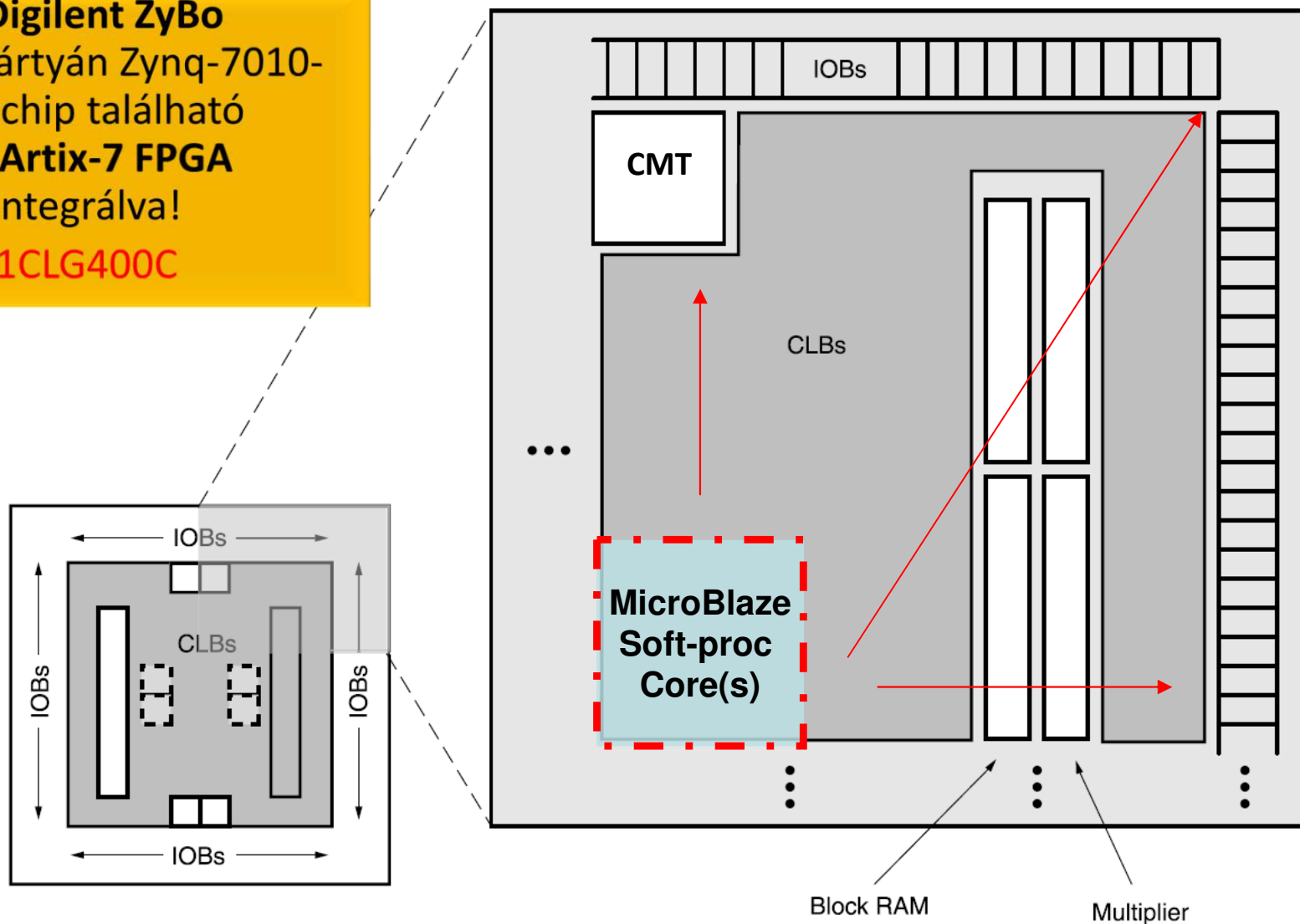
Xilinx Artix-7 FPGA

ARTIX⁷

Általános felépítés:

Megj.: a Digilent ZyBo fejlesztőkártyán Zynq-7010-es APSoC chip található benne az **Artix-7 FPGA** logikával integrálva!

XC7Z010-1CLG400C



Artix-7 FPGA főbb építőelemei



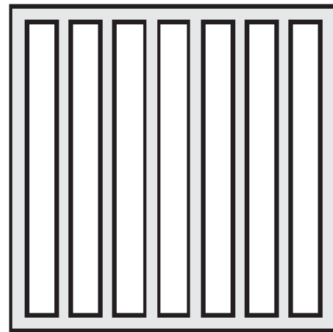
- **CLB:** Konfigurálható Logikai blokkok 1 CLB = 2 x SLICE
 - SliceL (50%) = mint *Logika*: 6-LUT, 8 D-FF, széles MUX, Carry Logika
 - SliceM (25-50%) = mint *Memória*:
 - SliceL + SRL-32x1, vagy 2 x SRL-16x2, vagy
 - ROM/RAM-64x1 memóriák, vagy 2 x ROM/RAM-32x2
- **IOB:** I/O blokkok (támogatott szabványok)
- **DSP48E1:** 25×18 bites előjeles (2-es komplement) DSP szorzó(k)
- **BRAM:** konfigurálható 18 Kbites (~2 KByte + paritás), vagy 36 Kbites (~4 Kbyte + par) egy/illetve két-portos memóriák
- **CMT:** Digitális órajel menedzser blokkok
- **Beágyazható és beágyazott processzor(ok)** is konfigurálhatóak:
 - *Soft-processor mag(ok)*
 - Pl: **Xilinx MicroBlaze**, PicoBlaze, esetleg külső független gyártó szellemi terméke integrálható (IP Core)
 - *Hard-processor mag(ok)*
 - PL. IBM PowerPC, vagy **ARM-Cortex-A9/A53...**, stb.

Xilinx Artix-7 FPGA

ARTIX⁷

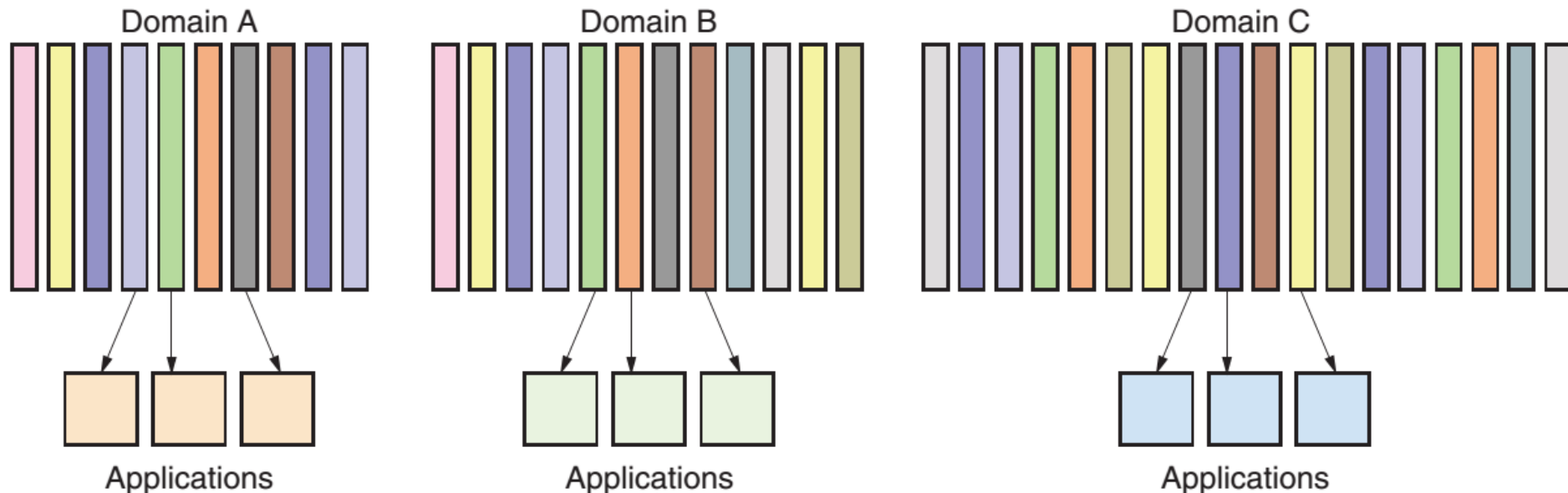
ASMBL architektúra: Advanced Silicon Modular Block

Column
Based
ASMBL
Architecture



Feature Options

- Logic (SLICEL)
- Logic (SLICEM)
- DSP
- Memory
- Clock Management Tile
- Global Clock
- High-performance I/O
- High-range I/O
- Integrated IP
- Mixed Signal
- Transceivers



Xilinx Artix-7 FPGA család



Device	Logic Cells	Configurable Logic Blocks (CLBs)		DSP48E1 Slices ⁽²⁾	Block RAM Blocks ⁽³⁾			CMTs ⁽⁴⁾	PCIe ⁽⁵⁾	GTPs	XADC Blocks	Total I/O Banks ⁽⁶⁾	Max User I/O ⁽⁷⁾
		Slices ⁽¹⁾	Max Distributed RAM (Kb)		18 Kb	36 Kb	Max (Kb)						
XC7A12T	12,800	2,000	171	40	40	20	720	3	1	2	1	3	150
XC7A15T	16,640	2,600	200	45	50	25	900	5	1	4	1	5	250
XC7A25T	23,360	3,650	313	80	90	45	1,620	3	1	4	1	3	150
XC7A35T	33,280	5,200	400	90	100	50	1,800	5	1	4	1	5	250
XC7A50T	52,160	8,150	600	120	150	75	2,700	5	1	4	1	5	250
XC7A75T	75,520	11,800	892	180	210	105	3,780	6	1	8	1	6	300
XC7A100T	101,440	15,850	1,188	240	270	135	4,860	6	1	8	1	6	300
XC7A200T	215,360	33,650	2,888	740	730	365	13,140	10	1	16	1	10	500

Notes:

- Each 7 series FPGA slice contains four LUTs and eight flip-flops; only some slices can use their LUTs as distributed RAM or SRLs.
- Each DSP slice contains a pre-adder, a 25 x 18 multiplier, an adder, and an accumulator.
- Block RAMs are fundamentally 36 Kb in size; each block can also be used as two independent 18 Kb blocks.
- Each CMT contains one MMCM and one PLL.
- Artix-7 FPGA Interface Blocks for PCI Express support up to x4 Gen 2.
- Does not include configuration Bank 0.
- This number does not include GTP transceivers.

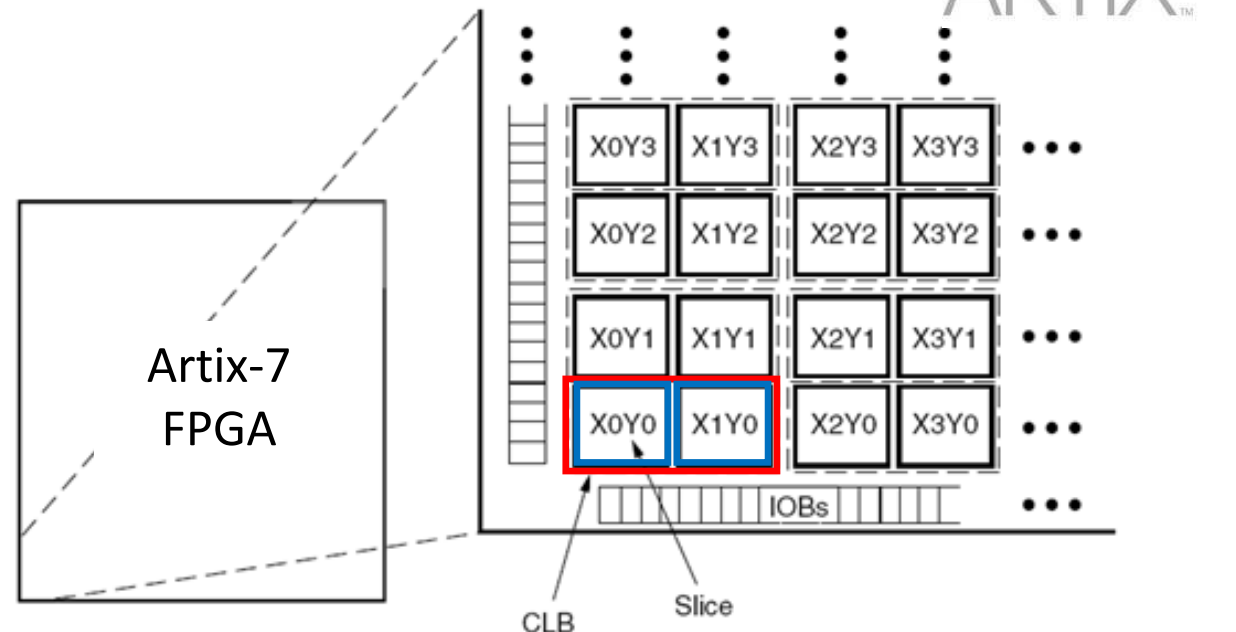
1 CLB = 2 x SLICE
1 SLICE = 4 LUT + 8 D-FF

Artix-7 FPGA-k CLB tömbje

CLB: fő logikai erőforrás, kombinációs és szekvenciális logikai hálózatok tervezésére

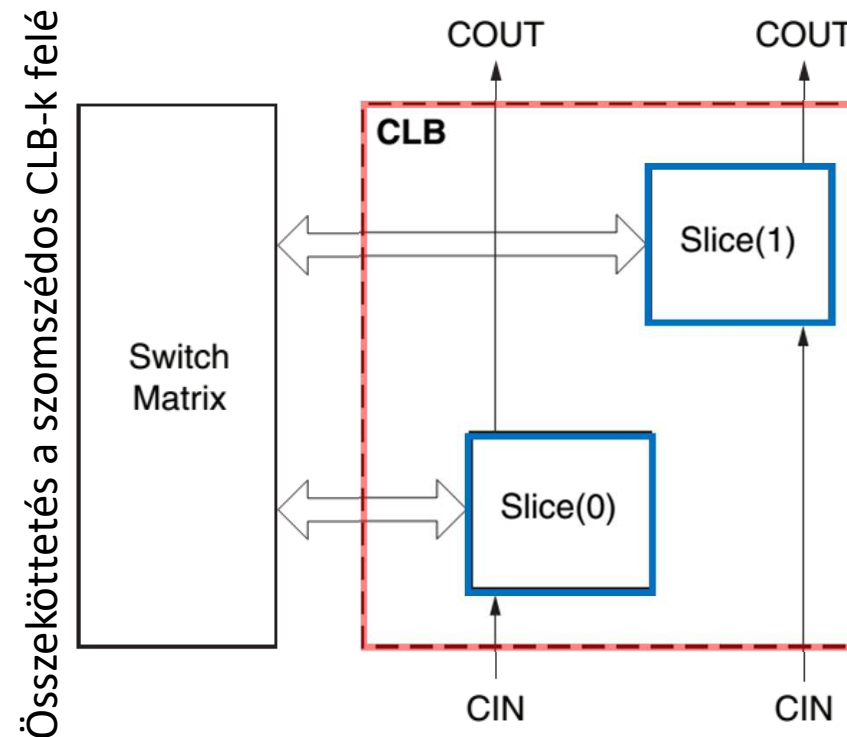
1 CLB = 2 Slice !!

(1 Slice = 4 x LUT-6 + 4 x 2 D-FF !)



Device	Slices ⁽¹⁾	SLICEL	SLICEM	6-input LUTs	Distributed RAM (Kb)	Shift Register (Kb)	Flip-Flops
7A15T	2,600 ⁽²⁾	1,800	800	10,400	200	100	20,800
7A35T	5,200 ⁽²⁾	3,600	1,600	20,800	400	200	41,600
7A50T	8,150	5,750	2,400	32,600	600	300	65,200
7A75T	11,800 ⁽²⁾	8,232	3,568	47,200	892	446	94,400
7A100T	15,850	11,100	4,750	63,400	1,188	594	126,800
7A200T	33,650	22,100	11,550	134,600	2,888	1,444	269,200

CLB-k összekapcsolása

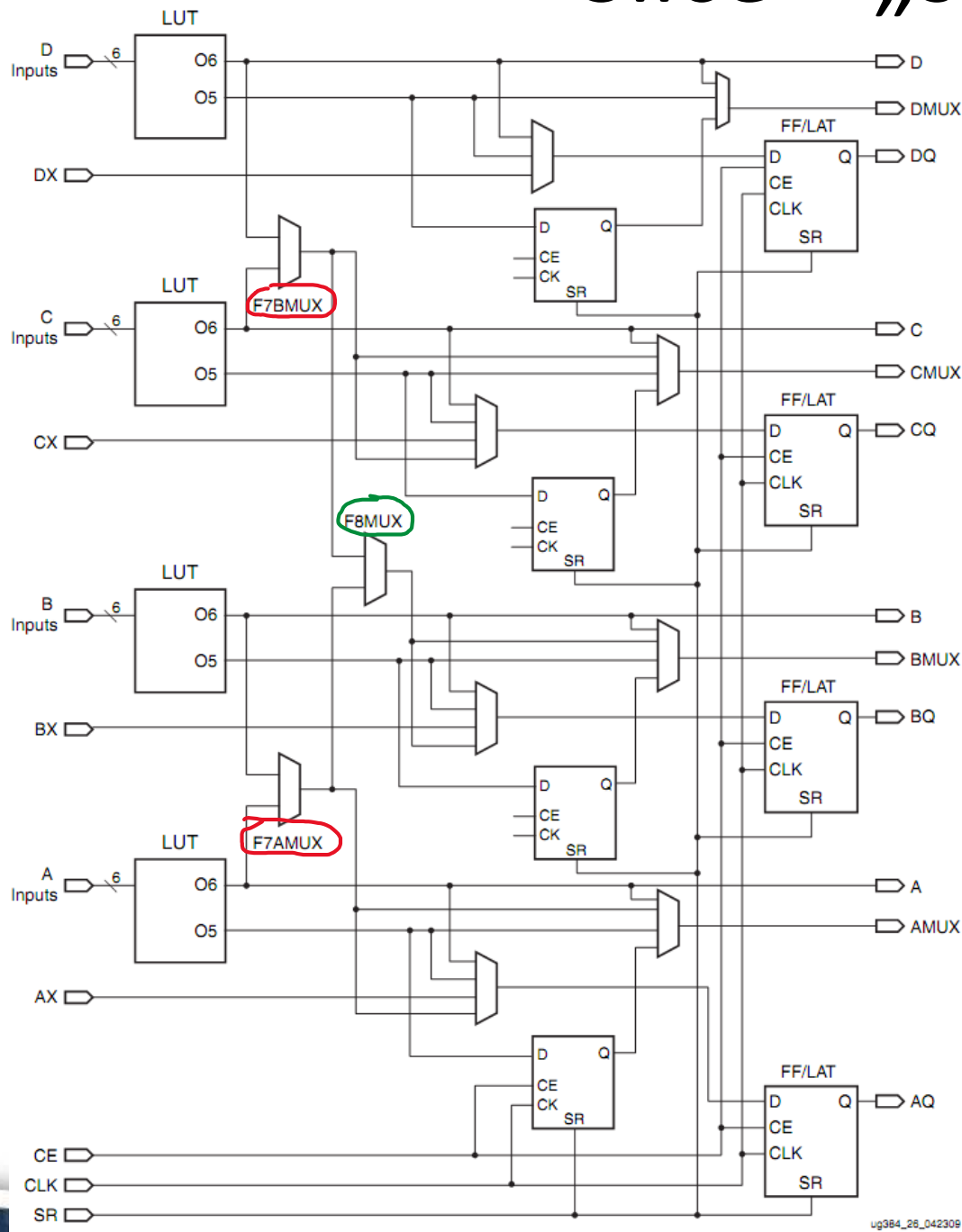


Feature	SLICEL	SLICEM
6-Input LUTs	√	√
8 Flip-flops	√	√
Wide Multiplexers	√	√
Carry Logic	√	√
Distributed RAM		√
Shift Registers		√

CIN/COUT: Carry In /Out

Slice = „szelet”

ARTIX⁷



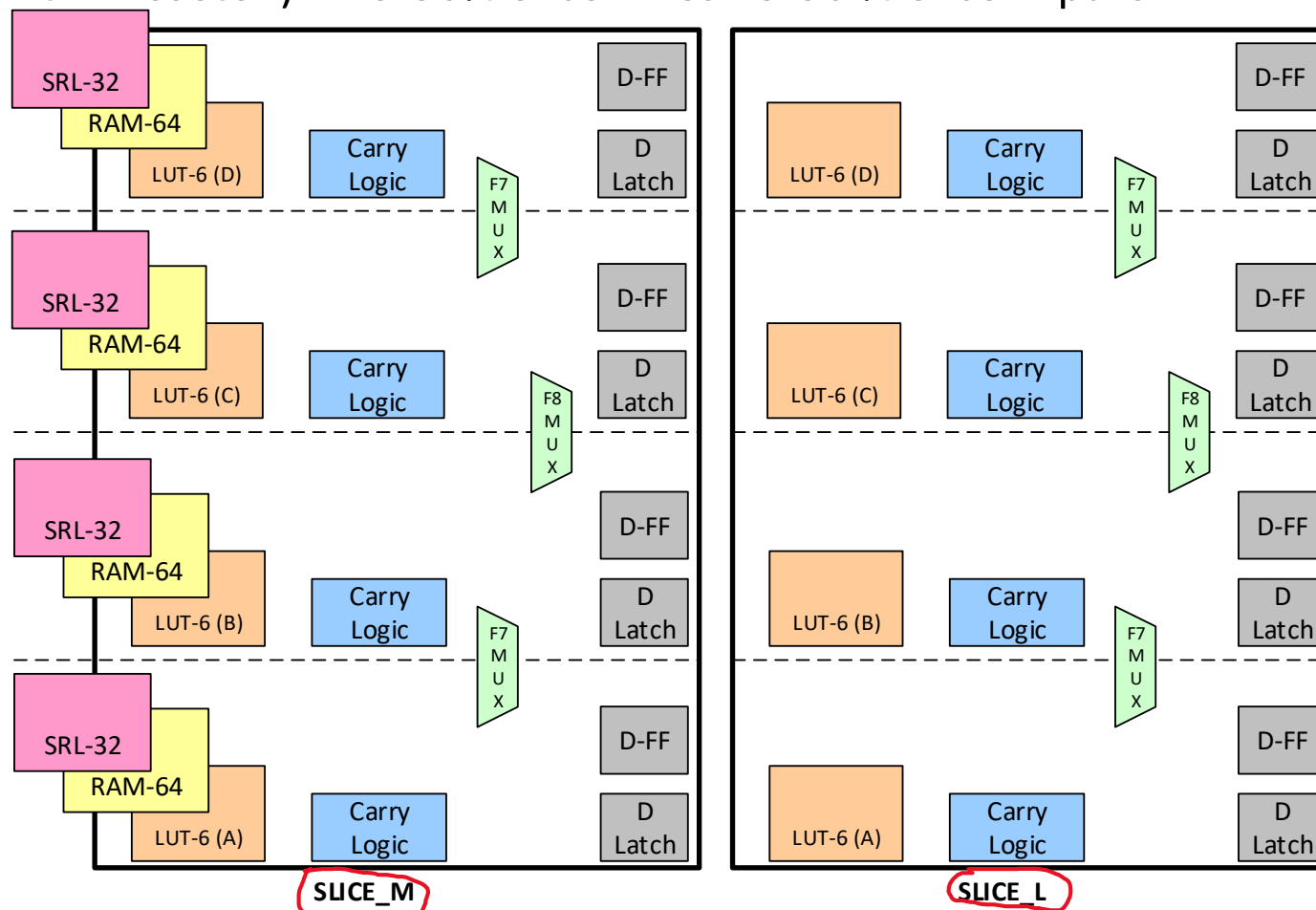
- Look-Up Table konfigurálható:
 - 6-bemenetű LUT-ként (A,B,C,D)
 - 64x1-bit szinkron elosztott RAM-ként
 - 32-bit shift regiszterként (SRL-32)
- Tároló elemek
 - D-típusú flip-flop-ok, vagy latch-ek
- További Logikai áramkörök
 - 4:1 MUX (1 db LUT-6 belül)
 - 8:1 MUX F7 A/B MUX (2 db LUT-6)
 - 16:1 MUX F8MUX (4 db LUT-6)
- Aritmetikai Logikai Egység
 - Dedikált Carry logika (SliceL, SliceM esetén)
 - (CYSEL_, CYMUX_, CY0_)
 - Dedikált XOR kapuk

FPGA logika esetében egy alapvető mérőszám a „slice” – szelet.

Milyen erőforrásként konfigurálhatók a Slice-ok?

1 CLB = 2 slice (Artix-7 esetén) = 25-50% Slice**M**- és 75-50 % Slice**L** párok

ARTIX⁷



Slice”M”: M, mint **memória elem** lehet konfigurálva:

- A.) LUT-6: Logika 6-bemenetű (lehet duális LUT-5)
- B.) RAM64/ROM64: Distributed (elosztott) RAM/ROM – regiszterekből 64x1-bit (max 128 bit/CLB),
 - Egy-, dual-kemenetű
- C.) SRL32: Shift Regiszter
 - 32x1-bit, vagy 2 x 16x1-bit (max 256 bit/CLB).

vs.

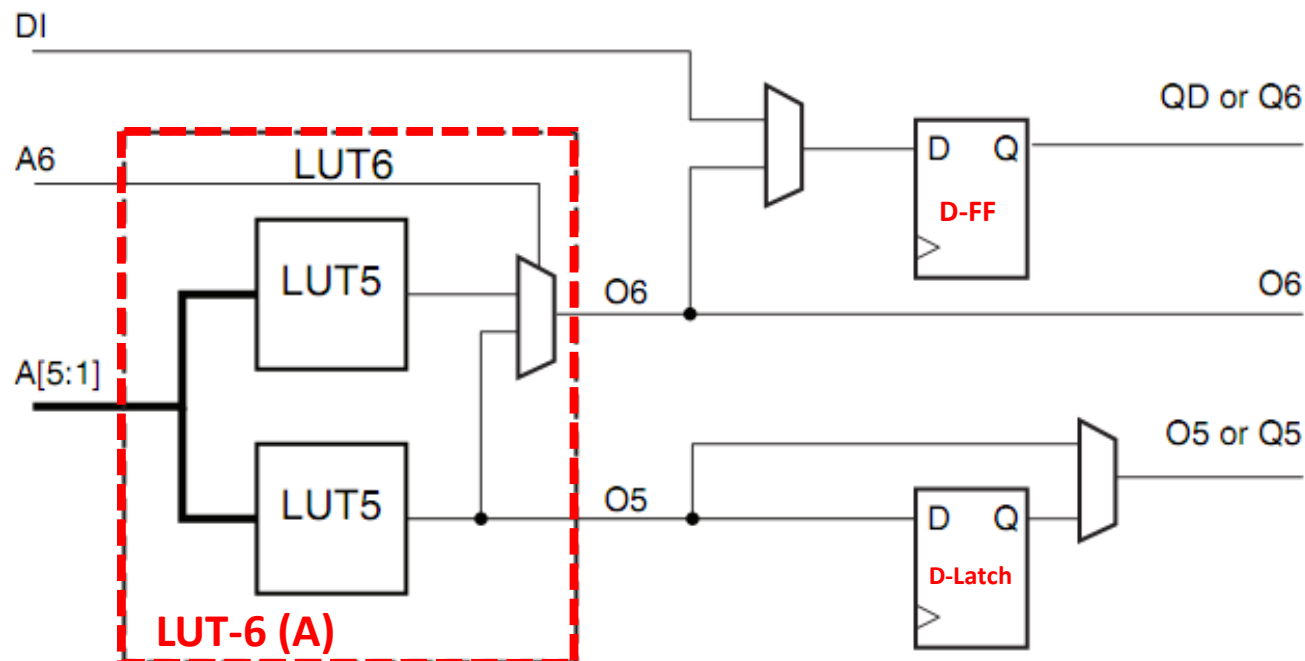
Slice”L”: L, mint **logika** lehet konfigurálva:

- (lásd A.) Csak LUT-6!
- D.) Dedikált MUX-ok
- E.) Gyors Carry logika

A.) Look-Up Table

LUT-6: memória alapú

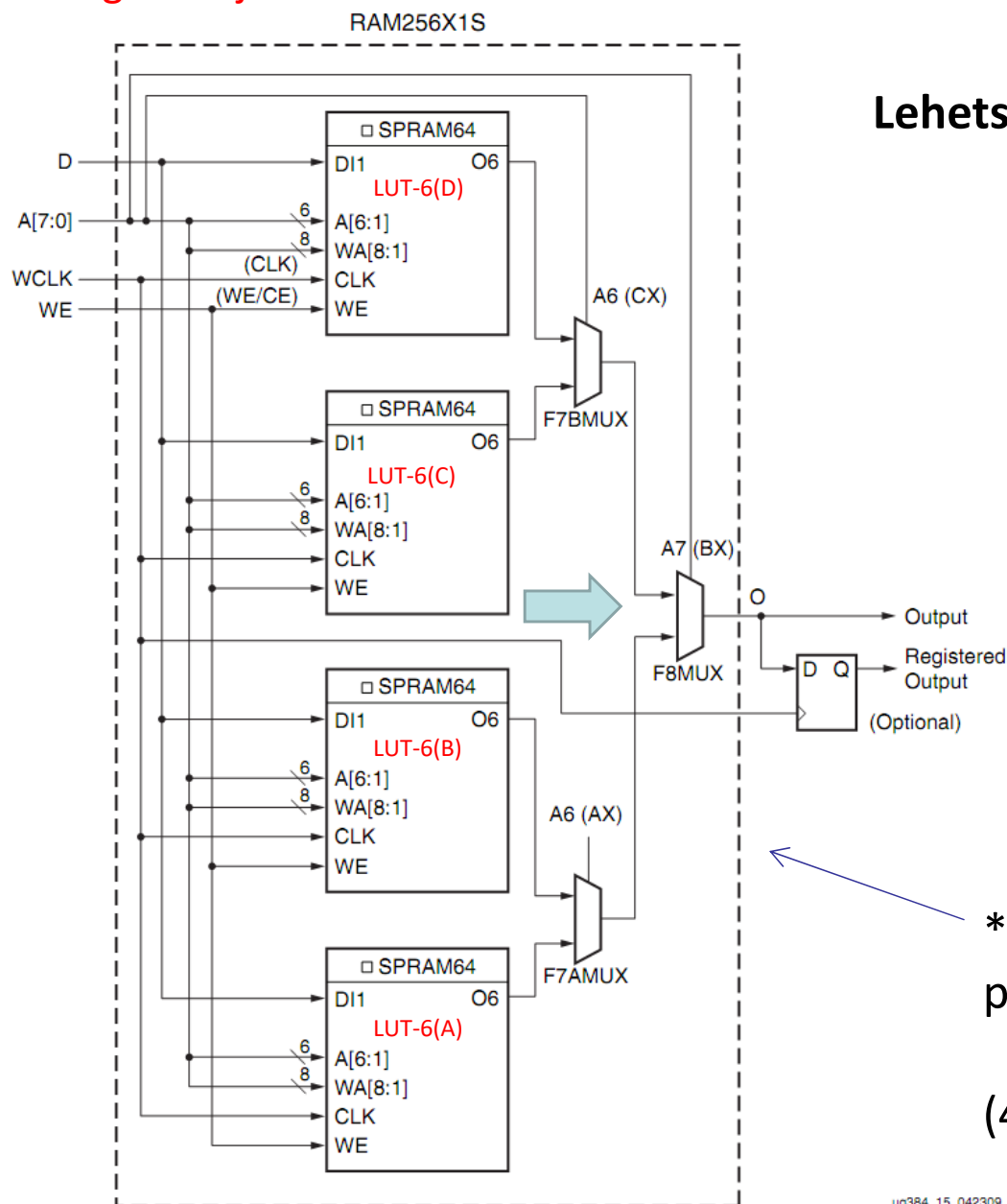
- egyrészt logikai függvény generátor, vagy (*6-bemenetű 1-kimenetű kombinációs logikai fgv.)
 - *Megj. Kisebb FPGA-k esetén még 4-bemenetű LUT-4 volt (pl. Spartan-3, Virtex-II sorozatokon)
- másrészt duális LUT-5, vagy
- elosztott memória v. shift regiszter (csak SLICEM párokban)



Egy lehetséges konfigurációja*:

B.) Elosztott/Distributed RAM

ARTIX⁷



Lehetséges elosztott RAM konfigurációk:

RAM	Description	Primitive	Number of LUTs
32 x 1S	Single port	RAM32X1S	1
32 x 1D	Dual port	RAM32X1D	2
32 x 2Q	Quad port	RAM32M	4
32 x 6SDP	Simple dual port	RAM32M	4
64 x 1S	Single port	RAM64X1S	1
64 x 1D	Dual port	RAM64X1D	2
64 x 1Q	Quad port	RAM64M	4
64 x 3SDP	Simple dual port	RAM64M	4
128 x 1S	Single port	RAM128X1S	2
128 x 1D	Dual port	RAM128X1D	4
256 x 1S	Single port	RAM256X1S	4

Csak SLICE_M -ben

*Pl: RAM256x1S: 256x1 = (*single*) 1-kimeneti portos elosztott RAM

(4 x 2⁶ bites – 1 kimenettel)

ARTIX⁷™

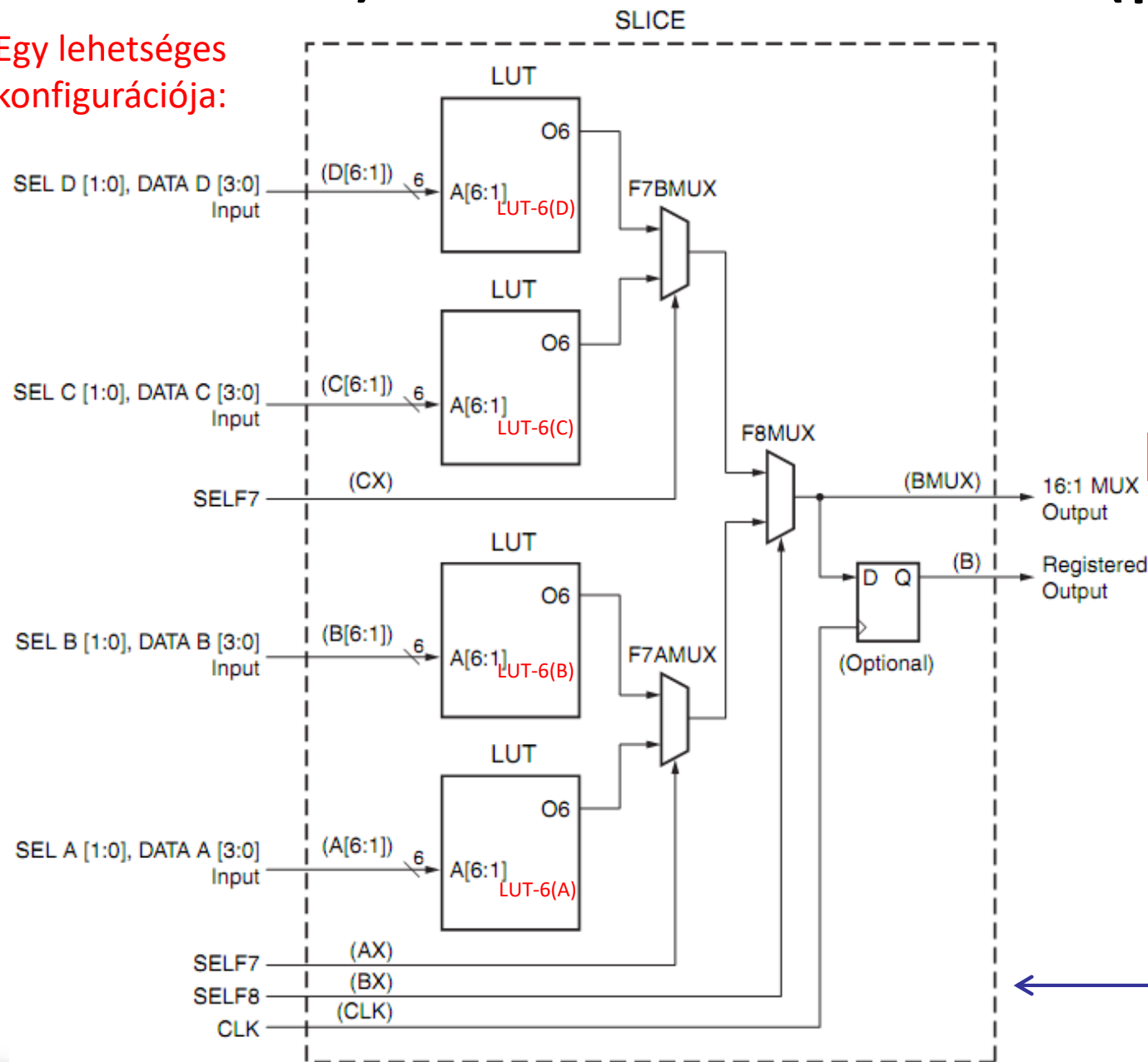
- 32-bites (1 db LUT-6),
- Duál 16-bites (2 db LUT-6)
- 64-bites (2 db LUT-6),
- 96-bites (3 db LUT-6),
- 128-bites (4 db LUT-6).

Csak SLICE_M –ben.

* Pl: SRL128: 128-bites léptető regiszter

D.) Dedikált MUX-ok (pl. 16:1)

Egy lehetséges konfigurációja:



ARTIX⁷

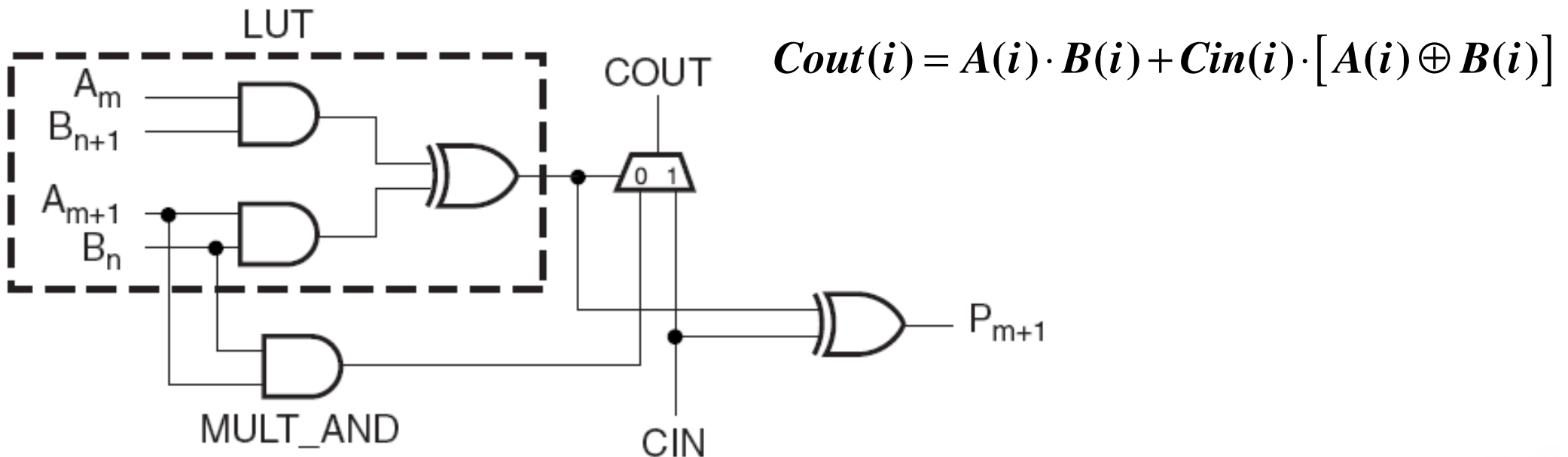
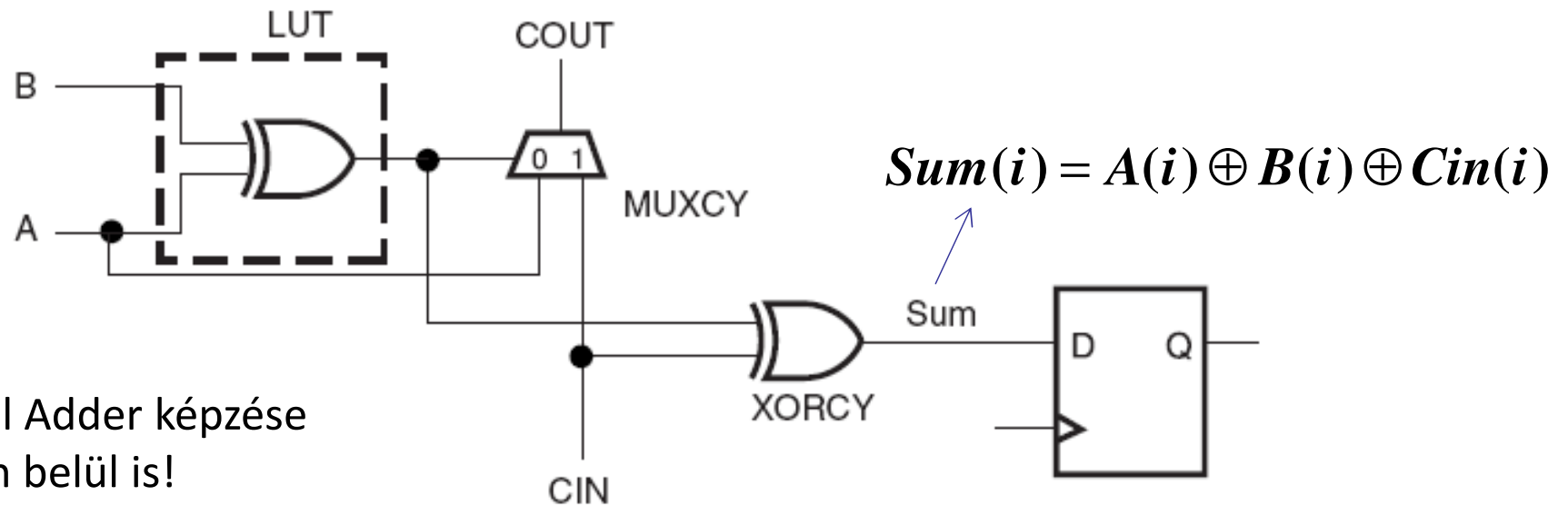
Lehetséges dedikált, nagy bitszélességű MUX konfigurációk:

- Quad 4:1 (4 db LUT-6),
- Dupla 8:1 (4 db LUT-6),
- Egy 16:1 (4 db LUT-6).

SLICE_M, SLICE_L
párokbán

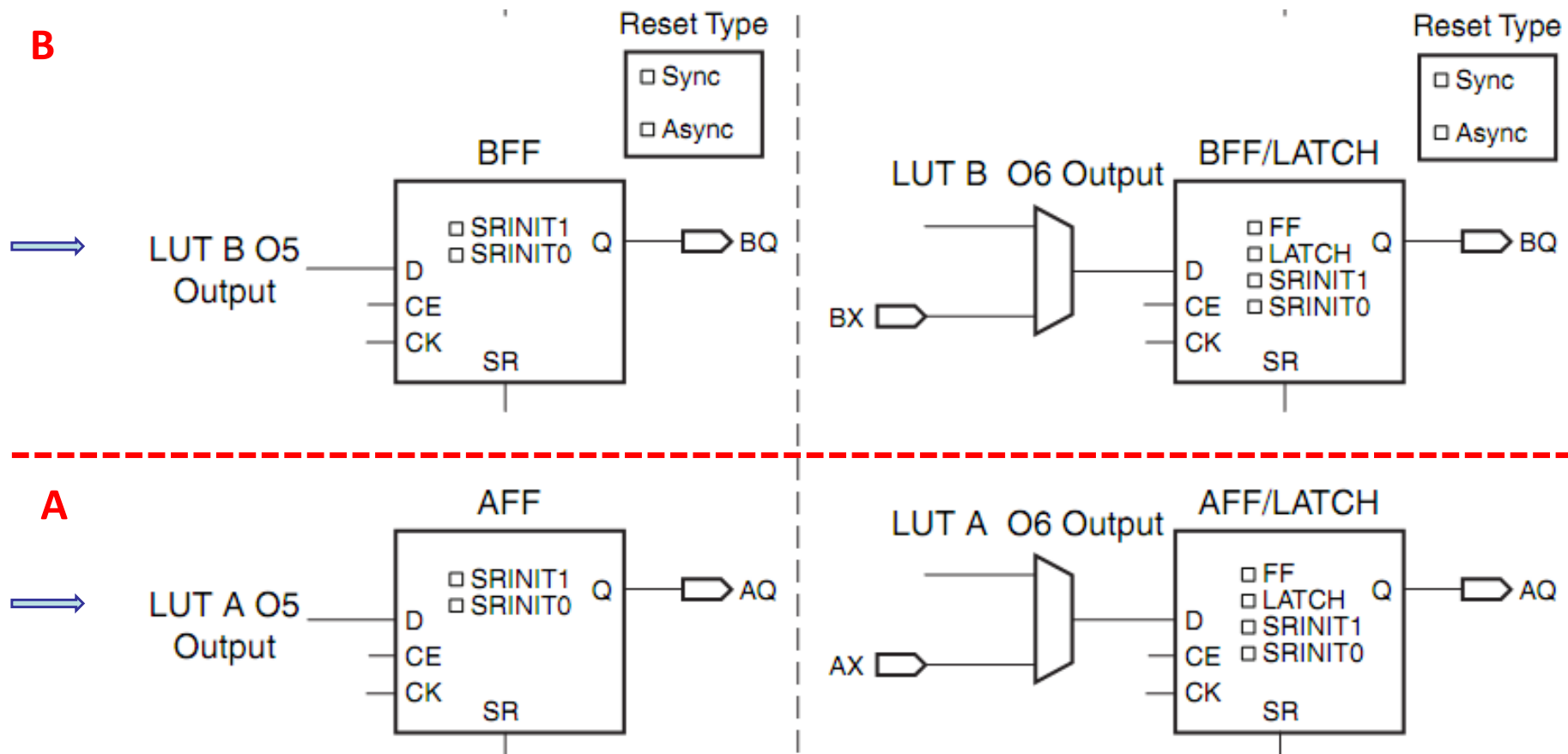
← 16:1 dedikált MUX

E.) Dedikált Fast Carry logika



F.) D-Flipflop vs. D-Latch

Mindkettő Slice_M, Slice_L is konfigurálhatók!

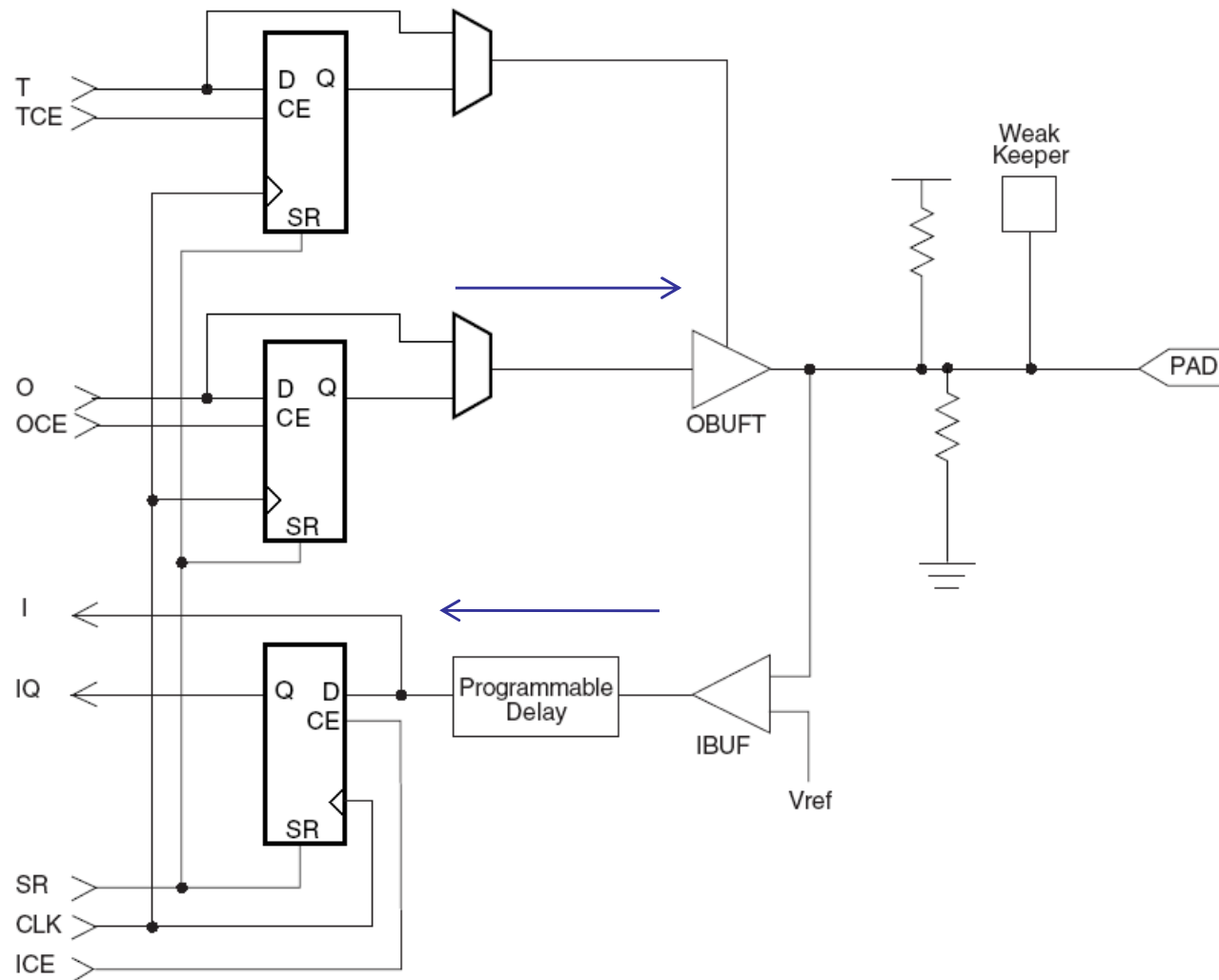


Él-vezérelt D-tároló

Szint-vezérelt D-Latch

IOB = I/O Blokk

ARTIX⁷



IOB

ARTIX⁷

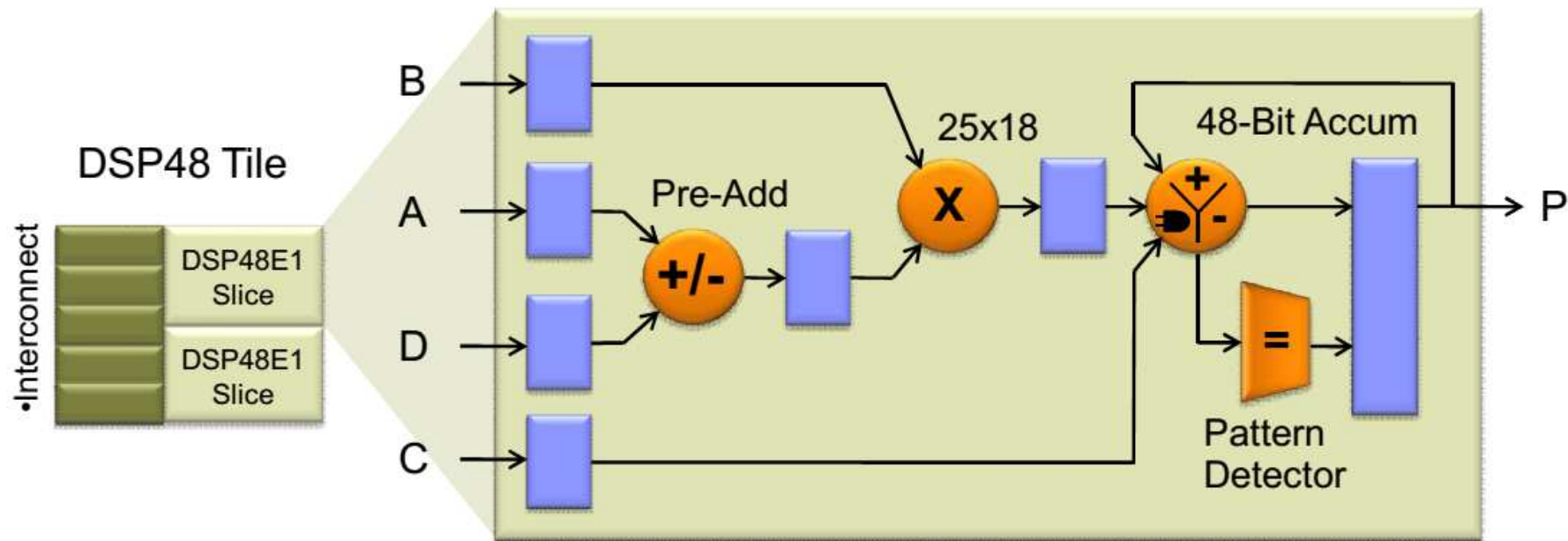
- Támogatott IO szabványok
 - „Single-ended” jelek:
 - 3.3V low-voltage TTL (LVTTTL),
 - Low-voltage CMOS (LVCMOS) 3.3V, 2.5V, 1.8V, 1.5V, 1.2V
 - 3V PCI @ 33 MHz / 66 MHz
 - HSTL I - III @ 1.8V (memória)
 - SSTL I @ 1.8V, 2.5V (memória)
 - ...
 - Differenciális jelek:
 - LVDS
 - Bus LVDS
 - mini-LVDS
 - Differential HSTL (1.8V, Types I and III)
 - Differential SSTL (2.5V, 1.8V, Type I)
 - ...
 - JEDEC DDR, DDR2, DDR3, LPDDR2/3, és ma már DDR4 memória támogatás

DSP Slice (DSP48E1)

ARTIX⁷

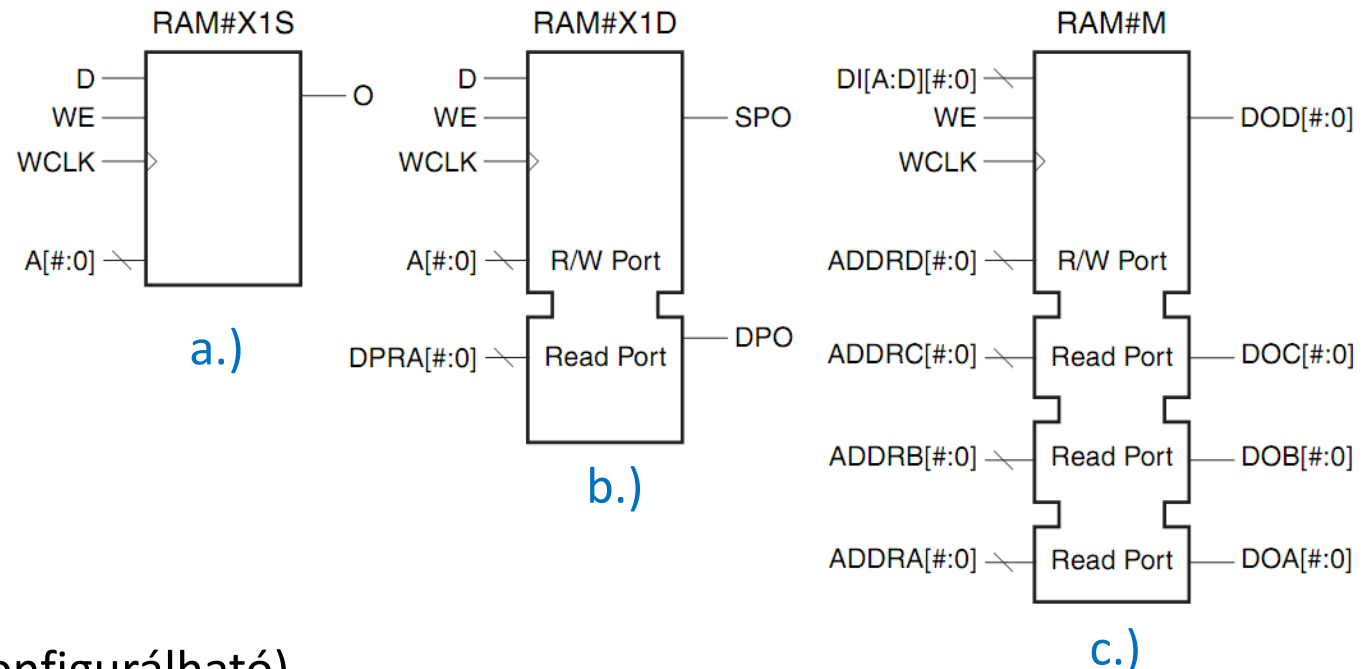
- $P = A \times B$ egyszerűsített dedikált szorzó „szelet” (max. 750 MHz)
 - 25×18 bites, 2-es komplement szorzásra,
 - 18-bites előtét összeadó (pre-adder filter),
 - 48-bites utó-összeadó/ACC/kivonó,
 - 96-bites logikai funkciók.

$$P = C \pm (B \times (A \pm D) + CIN)$$



Dedikált Blokk-RAM

ARTIX⁷



- „SelectRAM” tulajdonság (konfigurálható)
 - Programozható FIFO / RAM / ROM-ként is (36 Kbit = két független 18 Kbit BRAM-ból épül fel)
 - 32K × 1, 16K × 2, 8K × 4, 4K × 9 (or 8), 2K × 18 (or 16), 1K × 36 (or 32), or 512 × 72 (or 64).
 - ECC ellenőrzés (parity bit használatával)
- Dedikált BRAM lehet:
 - a.) Egy-portos (max 72-bit széles)
 - b.) Két-portos (A,B)
 - Minkét portját (A, B) külön-külön címezhetjük (RW) – „true dual-port”
 - Független adatbusz szélesség definiálható
 - c.) Négy-portos (A,B,C,D)

CMT – Clock Management Tile

DCM – Digitális órajel menedzser áramkör(ök)

ARTIX⁷

1 CMT = 2 DCM/MMCM + 1 PLL

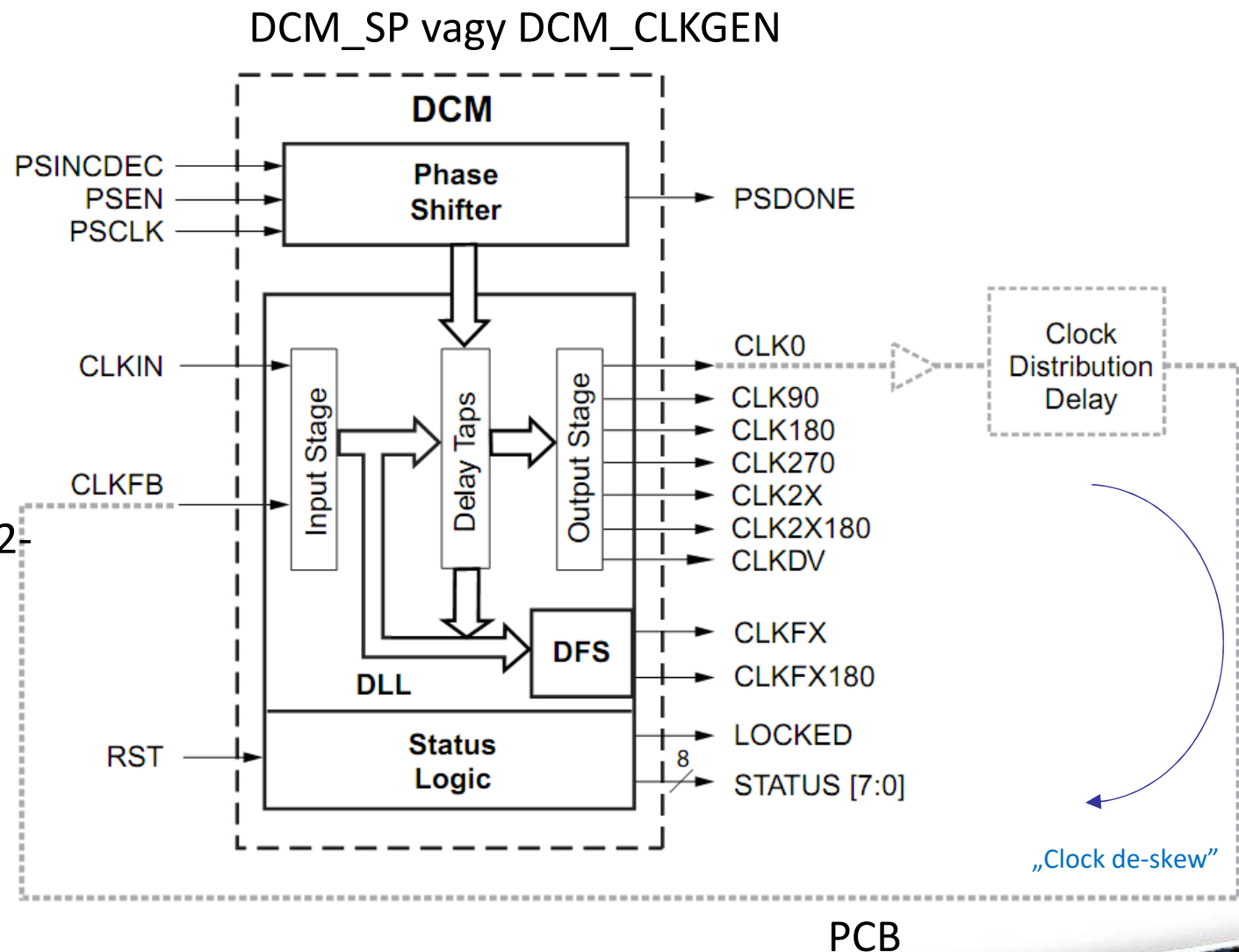
CMT-k száma: 4 – LX45

DLL: Delayed Locked Loop

- Órajel duplázás a *clk2x* és *clk2x180* kimeneten
- Órajel osztás a *clkdiv* kimenetén 1.5, 2, 2.5, 3, 4, 5,...,16 osztókkal

DFS: Digitális Frekvencia szintézis

- A bejövő órajel felszorzása 2-32 között állítható
- A bejövő órajel leosztása 1-32 között állítható
- Az eredmény a *clkfx* és *clkfx180* kimeneten jelenik meg

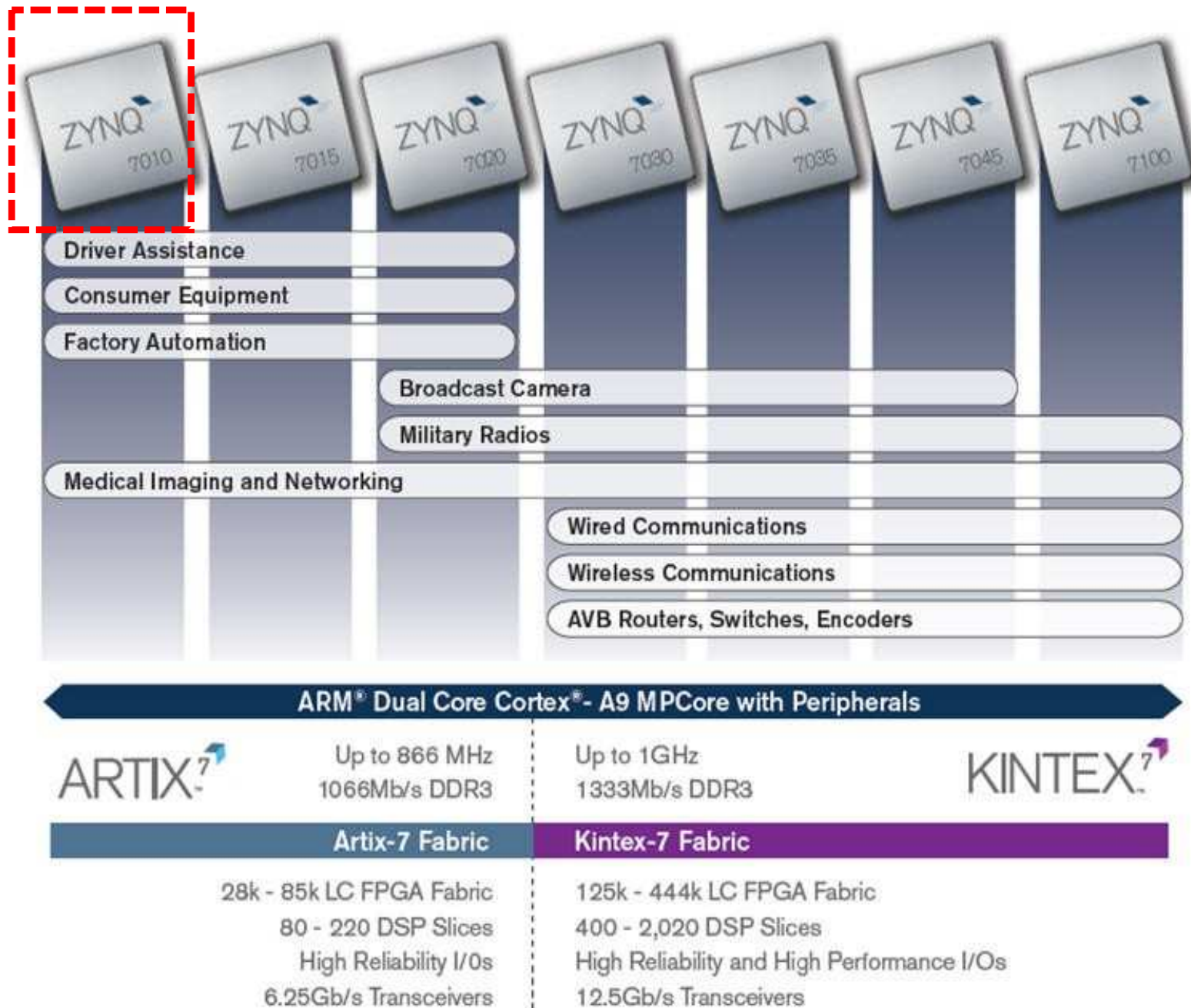




Xilinx ZYNQ-7010 APSoC FPGA-k bemutatása

II.B XILINX FPGA ÁRAMKÖRÖK

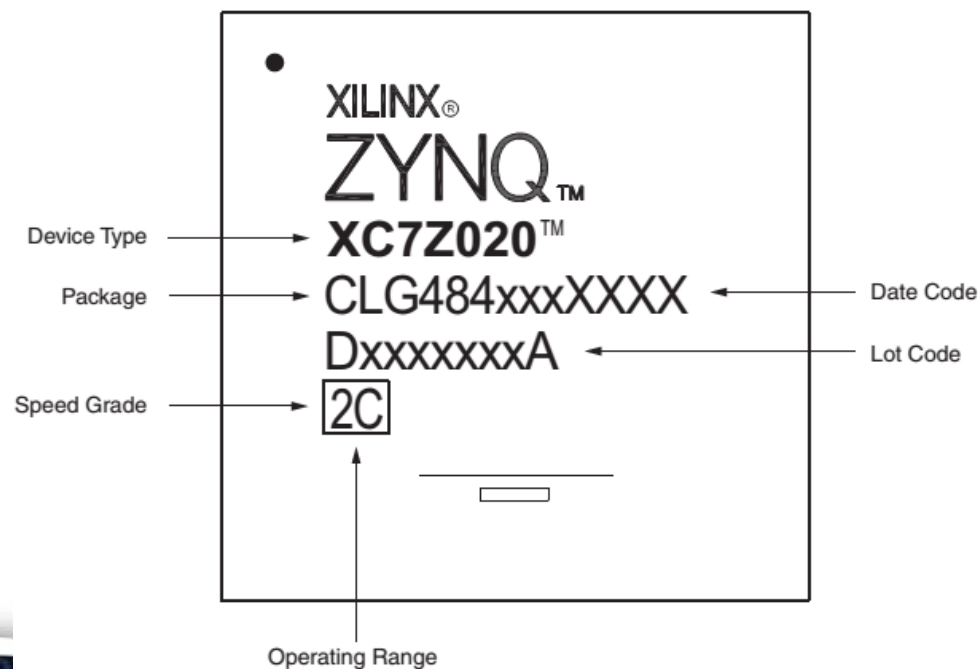
Zynq-7000 sorozat



Katalógus - FPGA azonosítása

- Eszköz típus (Device Type), tokozás (Package), és lábszám (Pin Count) alapján együttesen
 - **ZYNQ XC7Z010-1CLG400C* = Xilinx Zynq-7010** (~ 28.000 logikai cella ekvivalens **Artix-7** FPGA)
 - Chip Scale (CLG400C) tokozás
 - Lábszám: 400
 - Sebesség (Speed grade =1): **1C** (C - kereskedelmi célra: 0-85 C°)

* Az FPGA paraméterek az ZYBO kártyára érvényesek

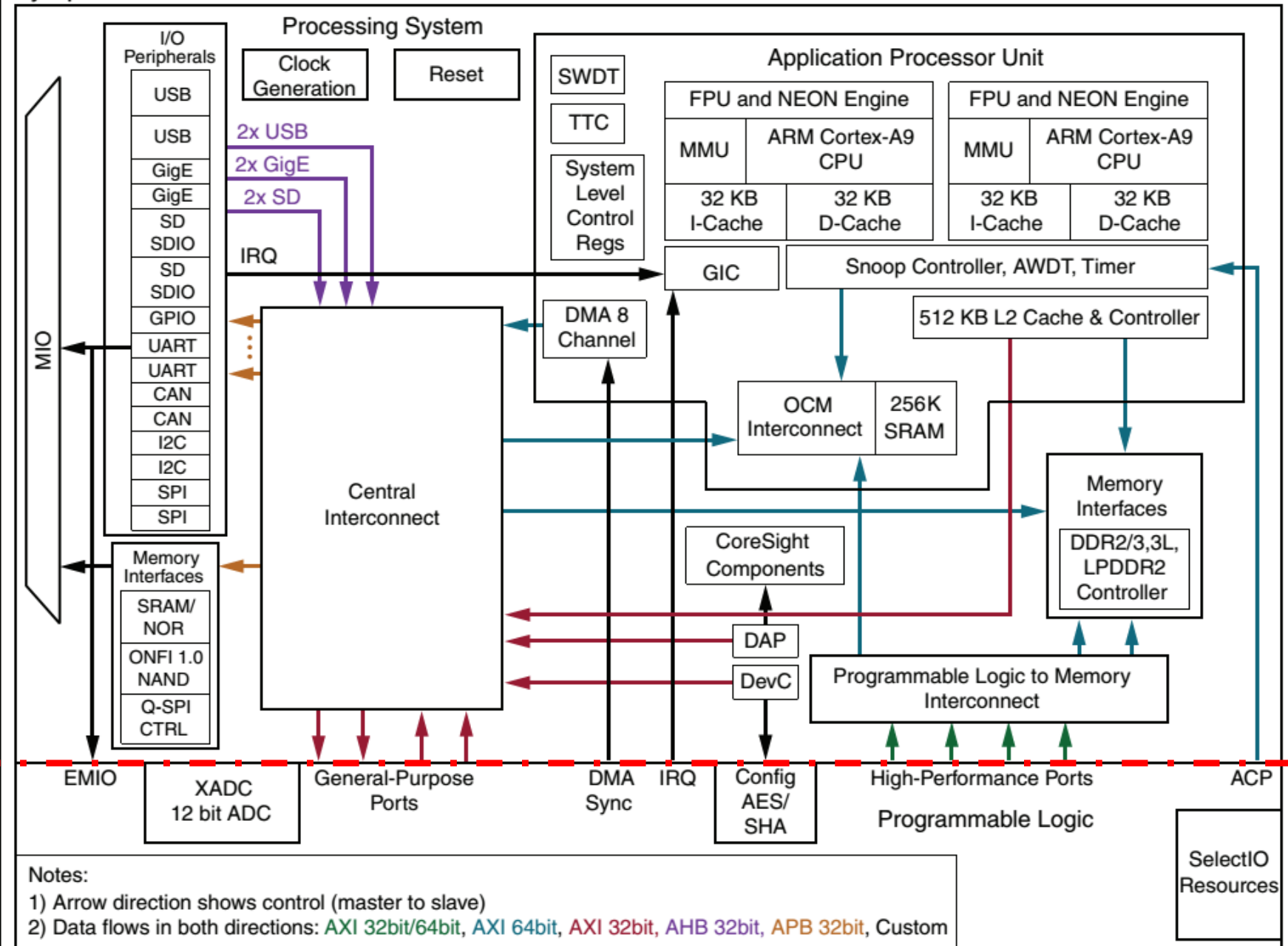


Zynq: APSoC heterogén arch.

PS

PL

Zynq-7000 AP SoC



Processzor Rendszer (PS)

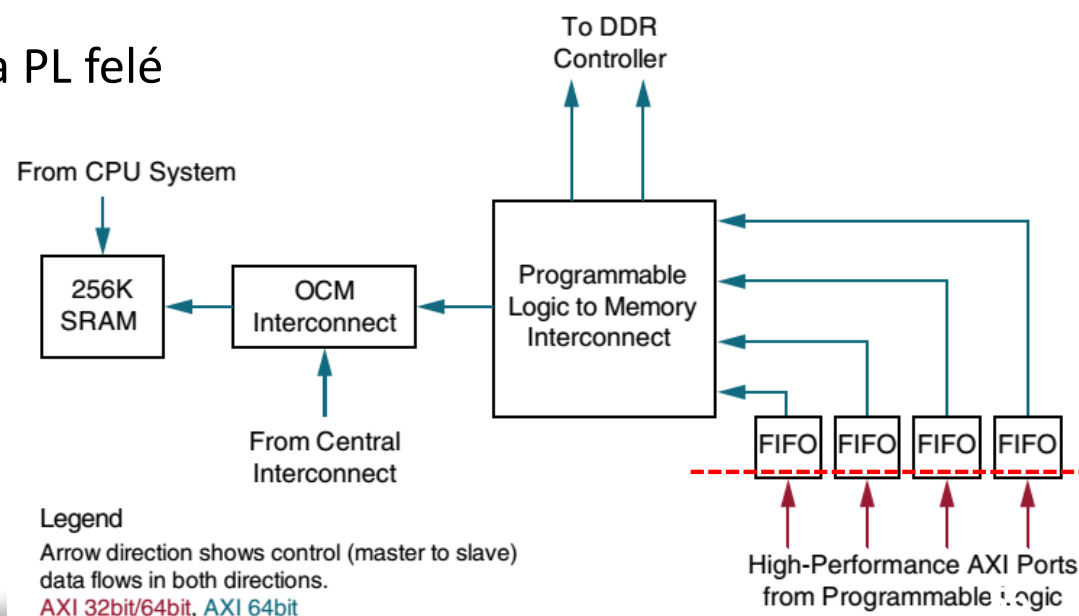
	Device Name	Z-7010	Z-7015	Z-7020
	Part Number	XC7Z010	XC7Z015	XC7Z020
Processing System	Processor Core	Dual ARM® Cortex™-A9 MPCore™ with CoreSight™		
	Processor Extensions	NEON™ & Single / Double Precision Floating Point		
	Maximum Frequency	667 MHz (-1); 766 MHz (-2); 866 MHz (-3)		
	L1 Cache	32 KB Instruction, 32 KB Data per processor		
	L2 Cache	512 KB		
	On-Chip Memory	256 KB		
	External Memory Support ⁽¹⁾	DDR3, DDR3L, DDR2, LPDDR2		
	External Static Memory Support ⁽¹⁾	2x Quad-SPI, NAND, NOR		
	DMA Channels	8 (4 dedicated to Programmable Logic)		
	Peripherals ⁽¹⁾	2x UART, 2x CAN 2.0B, 2x I2C, 2x SPI, 4x 32b GPIO		
	Peripherals w/ built-in DMA ⁽¹⁾	2x USB 2.0 (OTG), 2x Tri-mode Gigabit Ethernet, 2x SC		
	Security ⁽²⁾	RSA Authentication, and AES and SHA 256-bit		
Processing System to Programmable Logic Interface Ports (Primary Interfaces & Interrupts Only)		2x AXI 32b Master 2x AXI 32-bit Slave 4x AXI 64-bit/32-bit Memory AXI 64-bit ACP 16 Interrupts		

Programozható logika (PL)

	Device Name	Z-7010
	Part Number	XC7Z010
Programmable Logic	Xilinx 7 Series Programmable Logic Equivalent	Artix®-7 FPGA
	Programmable Logic Cells (Approximate ASIC Gates) ⁽³⁾	28K Logic Cells (~430K)
	Look-Up Tables (LUTs)	17,600
	Flip-Flops	35,200
	Extensible Block RAM (# 36 Kb Blocks)	240 KB (60)
	Programmable DSP Slices (18x25 MACCs)	80
	Peak DSP Performance (Symmetric FIR)	100 GMACs
	PCI Express® (Root Complex or Endpoint)	—
	Analog Mixed Signal (AMS) / XADC	2x 12 bit, MSPS ADCs
	Security ⁽²⁾	AES and SHA 256b for

PS-PL összeköttetések

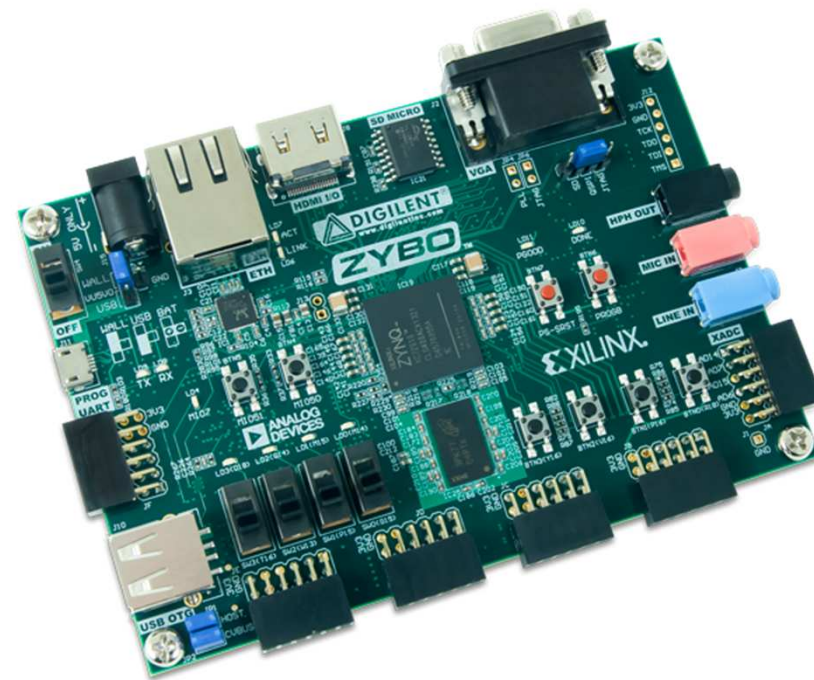
- AMBA AXI interfész nagysebességű elsődleges adatkommunikációhoz
 - 2 db 32-bites AXI master
 - 2 db 32-bites AXI slave
 - 4 db konfigurálható 32/64-bites pufferelt (FIFO) AXI slave interfész (OCM ill. DDR memória hozzáféréssel)
 - 1 db 64-bites AXI slave (ACP) – CPU memória koherencia (L1, L2)
- DMA, megszakítás kezelő (GIC)
 - Processzor „event” busz
 - PL periféria megszakítása - a PS-ben lévő GIC felé
 - 4 DMA-csatorna (PL)
- EMIO: külső periféria I/O
 - PS perifériák PL lábakkal is képesek osztozni
- 4 db PS órajel kimenet, 4 db PS reset jel a PL felé
- Konfiguráció
 - JTAG
 - XADC
 - Processor Configuration Access Port (PCAP)



PL részei (7010)

A Zynq-7010 a Xilinx Artix-7-es FPGA családon alapuló architektúra.

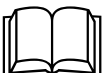
- **CLB:**
 - 8 db LUT-6 / CLB: Logika és elosztott memória is lehet
 - Memória LUT: 64x1 bit RAM, vagy 32x2-bit RAM, vagy SRL
 - 16 db FFs / CLB
 - 2x4-bit láncolható összeadók (pl. FA)
- **BRAM** (36 Kbit):
 - Dual-port, max. 72-bit széles, vagy duál 18Kb BRAM
 - Programozható dedikált FIFO-ként
 - ECC támogatás (72-bites Hamming kódú kódszó)
- **DSP** szorzó: (előjelel 25x18-bites)
 - 48-bit adder/accumulator
- Programozható **IOB-k**: számos szabvány (1.2-3.3V)
- Órajel-kezelés: **PLL/MMCM** – 2-2 db
- **XADC**: 2 db 12-bites A/D konverter, 1 MSPS
 - on-chip feszültség és hőmérséklet mérés, 17 differenciális input csatorna
 - www.xilinx.com/support/documentation/user_guides/ug480_7Series_XADC.pdf



Használt fejlesztő hardverek rövid bemutatása

III. DIGILENT ZYBO (ZYNQ BOARD)

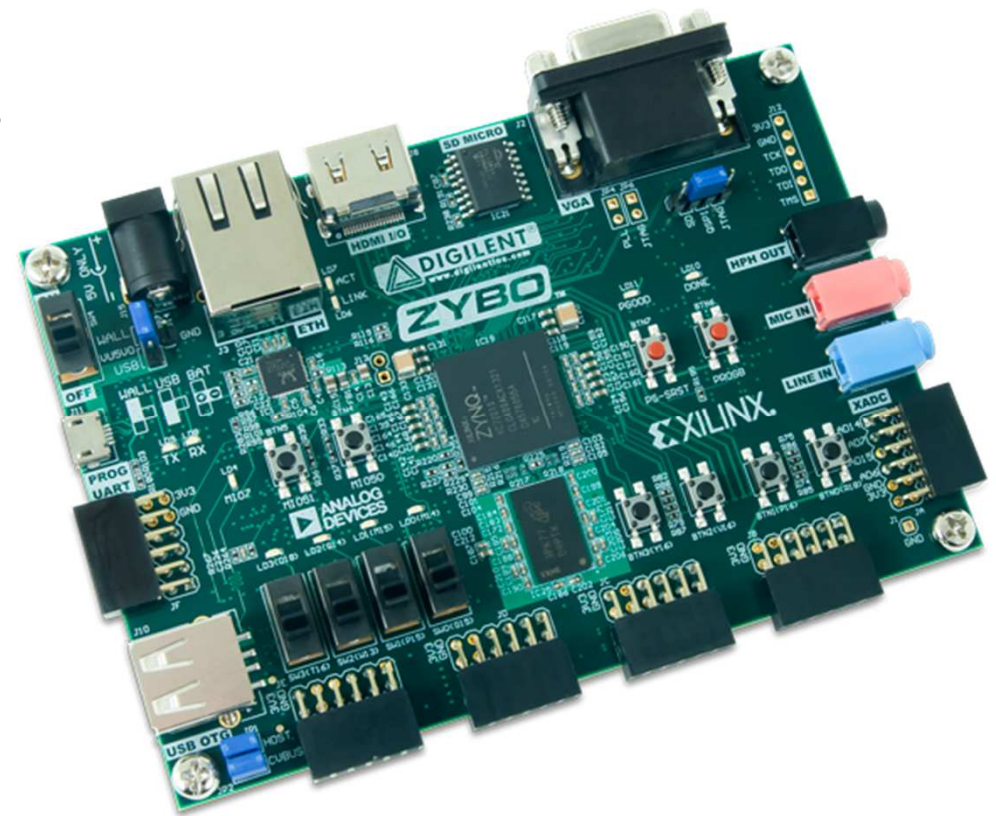
Felhasznált irodalom

-  ZYBO FPGA-s kártya hivatalos oldala:
www.digilentinc.com/Products/Detail.cfm?NavPath=2,400,1198&Prod=ZYBO
-  ZYBO Reference Manual (pdf):
www.digilentinc.com/Data/Products/ZYBO/ZYBO_RM_B_V6.pdf
-  ZYBO Reference Manual (online):
<https://reference.digilentinc.com/reference/programmable-logic/zybo/start>
-  ZYBO Schematic (kártya PCB és kapcsolási rajzok)
http://www.digilentinc.com/Data/Products/ZYBO/ZYBO_sch_B_V2.pdf
-  The ZYNQ book:
<http://www.zynqbook.com/>

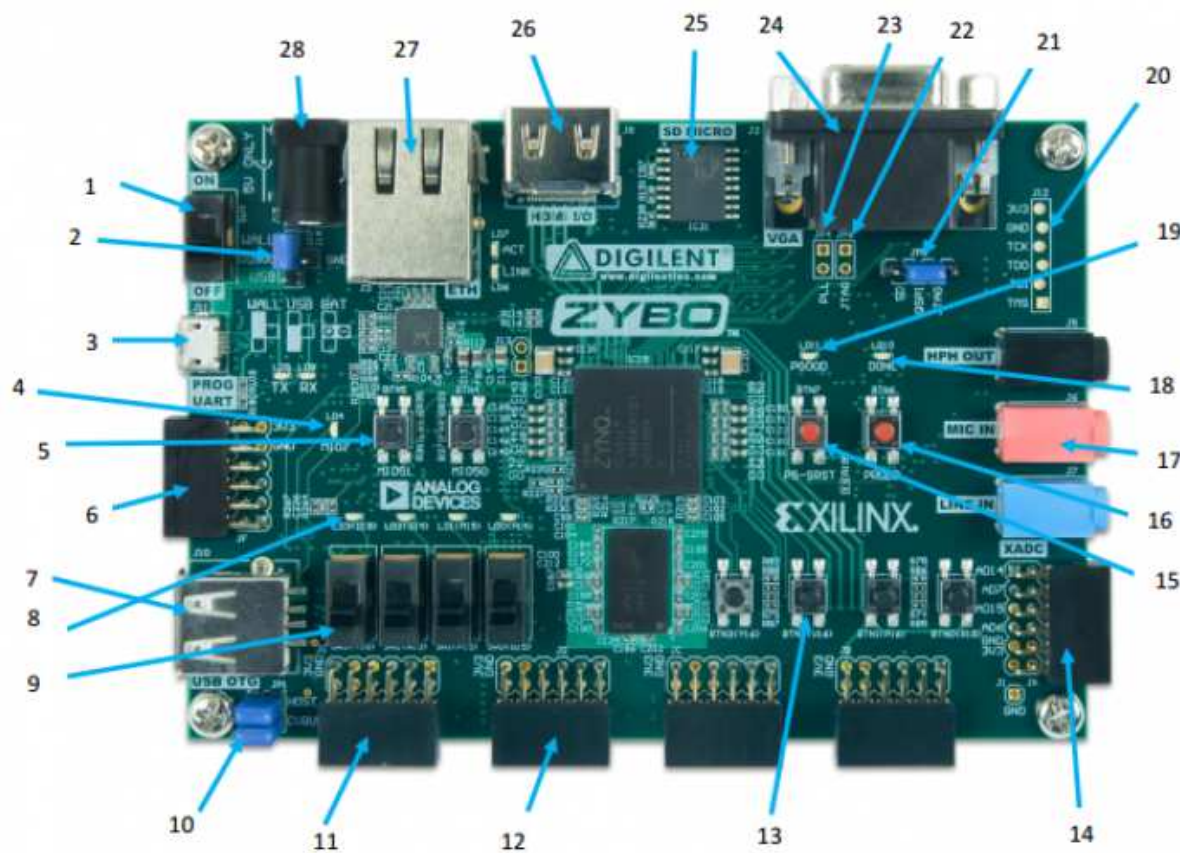
Digilent ZYBO fejlesztő kártya

ZYBO™ Zynq FPGA fejlesztő kártya

- *Xilinx Zynq-7000 (Z-7010)*
 - 650 MHz dual ARM Cortex-A9 magok (PS)
 - 8-csatornás DMA vezérlő (PS)
 - 1G ethernet, I2C, SPI, USB-OTG vezérlő (PS)
 - **Artix-7** FPGA logika (PL), 54 muxed MIO pins (PL/PS)
 - 28Kbyte logikai cella, 240 Kbyte BRAM, 80 DSP szorzó(PL)
 - 12-bites, 1MSPS XADC (PL)
- 512 MByte DDR3 x32-bit (adatbusz), 1050Mbps sávszélességgel
- Tri-mode 10/100/1000 Ethernet PHY
- HDMI port: Dual role (source/sink)
- VGA port: 16-bites
- uSD kártya: OS tartalom tárolása
- OTG USB 2.0 (host és device)
- Audio codec
- 128Mbit x Serial Flash/QSPI (konfiguráció tárolási célokra)
- JTAG-USB programozhatóság, UART-USB vezérlő
- GPIO: 5 LED, 6 nyomógomb, 4 kapcsoló
- 4+1 PMOD csatlakozó (A/D átalakítóhoz)



Weblap: <http://digilentinc.com/Products/Detail.cfm?NavPath=2,400,1198&Prod=ZYBO>

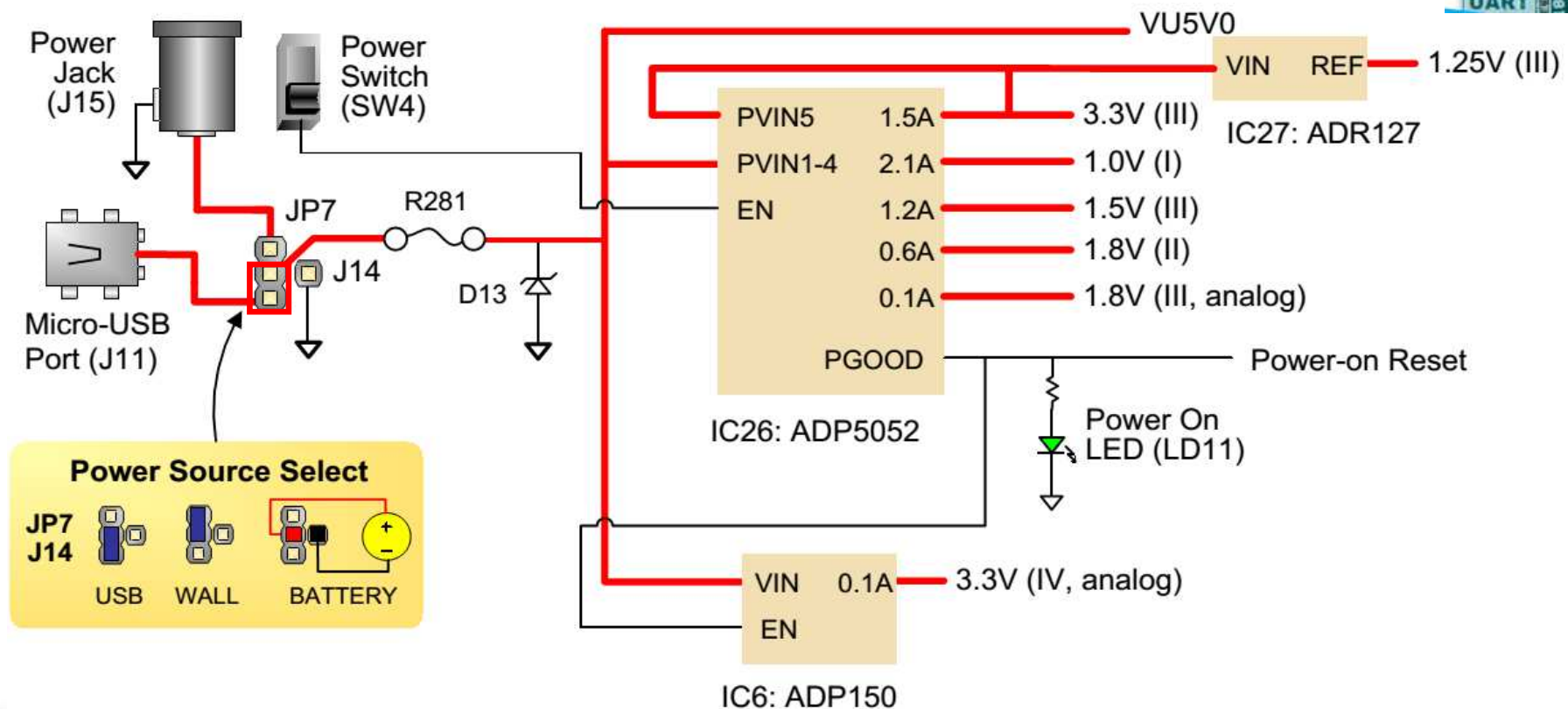


Callout	Component Description	Callout	Component Description
1	Power Switch	15	Processor Reset Pushbutton
2	Power Select Jumper and battery header	16	Logic configuration reset Pushbutton
3	Shared UART/JTAG USB port	17	Audio Codec Connectors
4	MIO LED	18	Logic Configuration Done LED
5	MIO Pushbuttons (2)	19	Board Power Good LED
6	MIO Pmod	20	JTAG Port for optional external cable
7	USB OTG Connectors	21	Programming Mode Jumper
8	Logic LEDs (4)	22	Independent JTAG Mode Enable Jumper
9	Logic Slide switches (4)	23	PLL Bypass Jumper
10	USB OTG Host/Device Select Jumpers	24	VGA connector
11	Standard Pmod	25	microSD connector (Reverse side)
12	High-speed Pmods (3)	26	HDMI Sink/Source Connector
13	Logic Pushbuttons (4)	27	Ethernet RJ45 Connector
14	XADC Pmod	28	Power Jack

Tápellátás

3-féle tápellátási lehetőség:

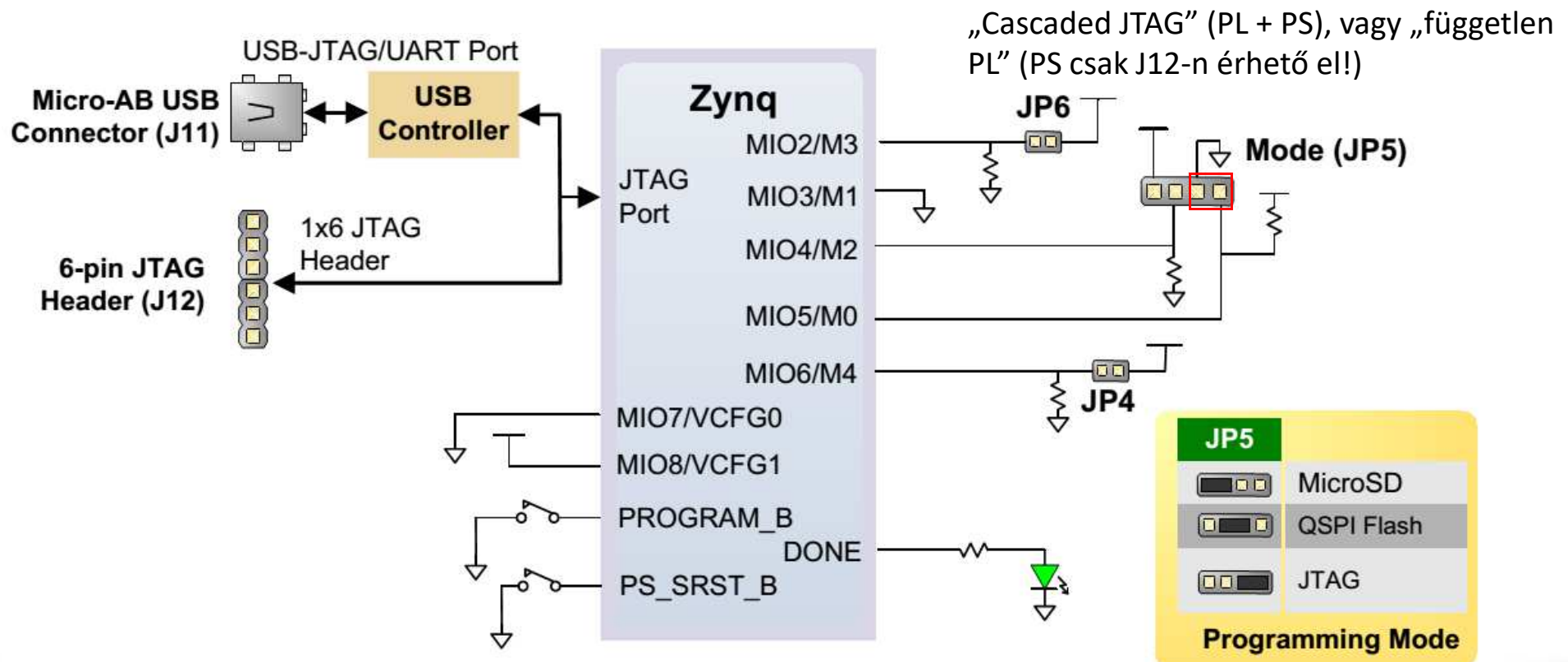
- mikro USB kábel (max 0.5A)
- fali csatlakozó (wall): AC adapter 5V/2.5A (Linux boot)
- elem (battery)



Programozhatóság

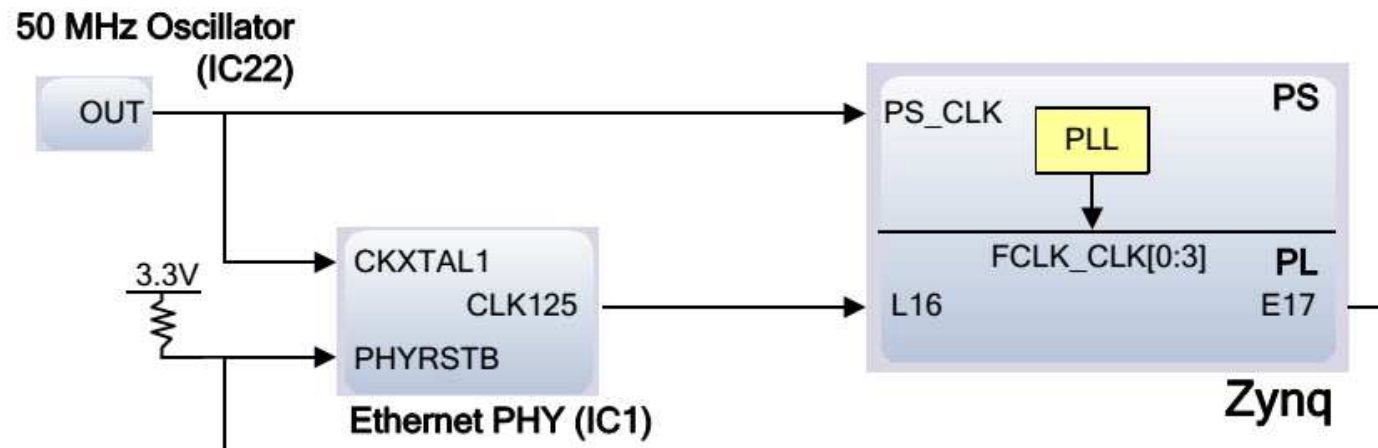
Konfigurálhatóság/Programozhatóság lehetőségei:

1. USB JTAG/UART interfész (J11),
2. JTAG-en keresztül (+ **debug** funkció J12 – nincs beültetve): ehhez kell egy Xilinx Platform USB programozó eszköz is,
3. microSD kártya (J4): pl. Linux boot image (3 fázisa van a betöltésnek BootRom -> FSBL -> SSBL / sw. alkalmazás) ,
4. QSPI soros Flash-en keresztül (PS/PL konfigurálhatóság)



Órajelek

- 50 MHz PS_CLK (PS alrendszerben): PLL-el 4 különböző referencia órajel generálható
- **125 MHz ref.clk (PL alrendszerben)**, független a PS-től („L16” láb)
- ARM: max. 650 MHz órajel
- DDR3 Memória vezérlő: max. 525 MHz (1050 Mbps)

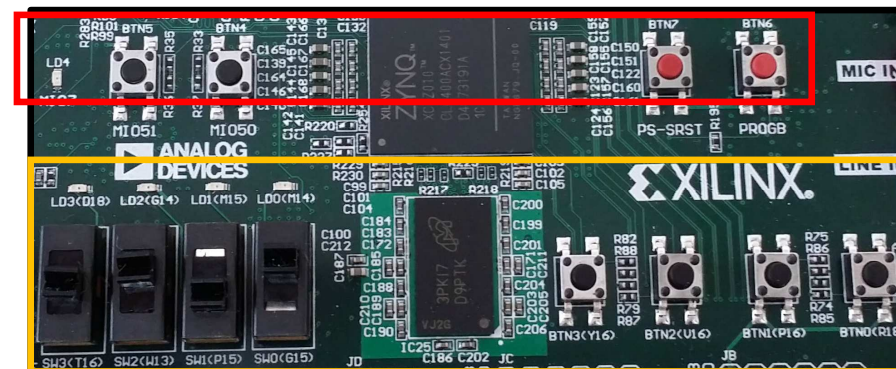


Programozható I/O perifériák

PS (ARM) alrendszerben:

- Nyomógomb: 2 db
- LED: 1 db

PS



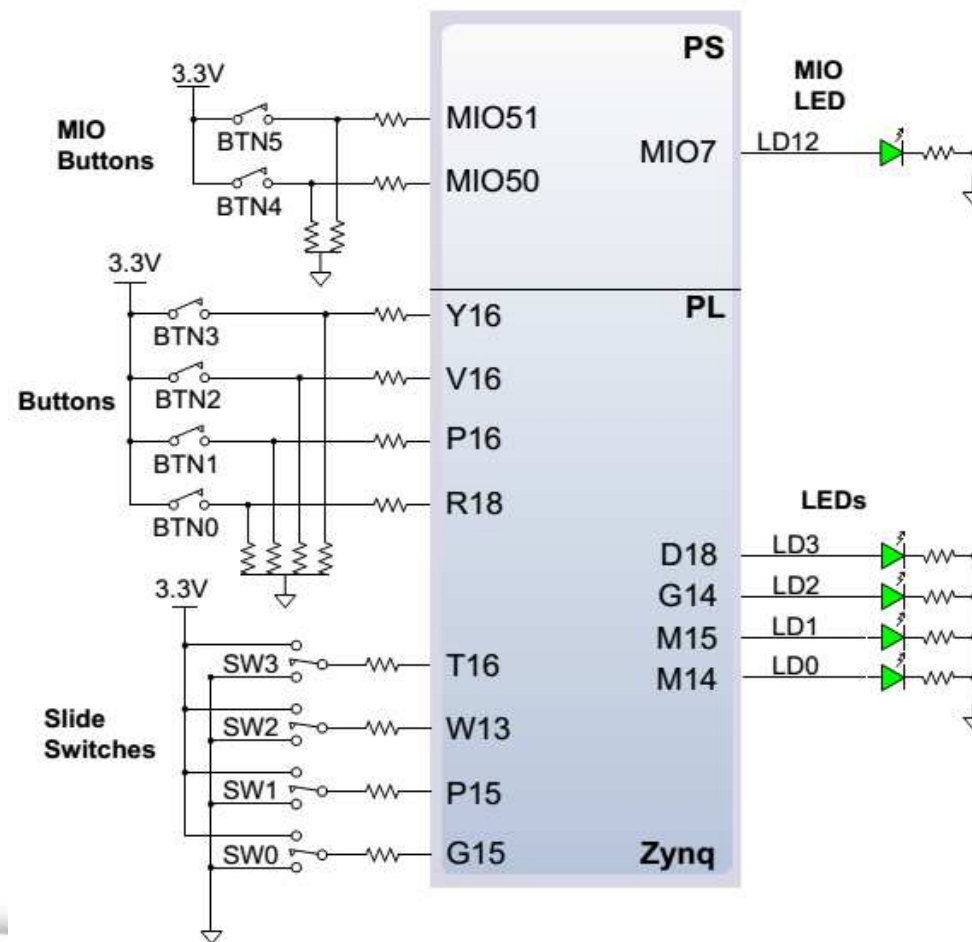
PL

PL (FPGA) alrendszerben:

- Nyomógombok: 4 db
- Kapcsolók: 4 db
- LED-ek: 4 db

Nyomógombok:
'0': inaktív
'1': aktív

2-állású Kapcsolók:
'0': inaktív
'1': aktív



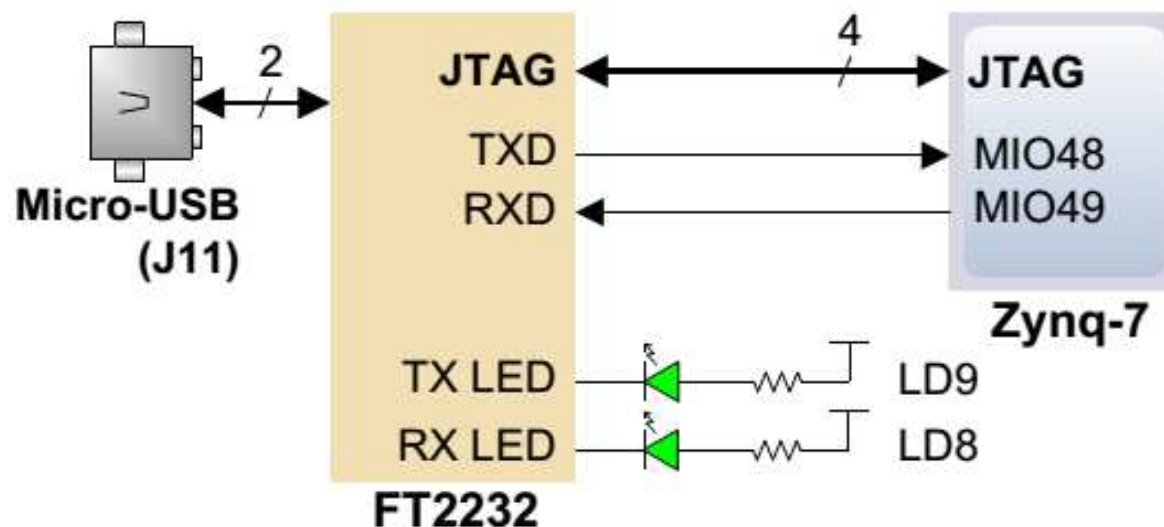
LED: (közös katódos)
'0': inaktív
'1': aktív

Külső memóriák

- Micron DDR3 SDDRAM (512 Mbyte):
MT41K128M16JT-125 DDR3 típus
 - 32 bites adatbusz
 - PS (ARM) oldali dedikált memória (hard-memory) vezérlő
- Spansion soros SPI Flash 128Mbit (16 MByte):
S25FL128S típus
 - 1x, 2x SPI-, 4x QSPI mód
 - max. 400 Mbit/s elérési sebesség (QSPI módban)
 - PS, PL oldal konfigurálhatósága

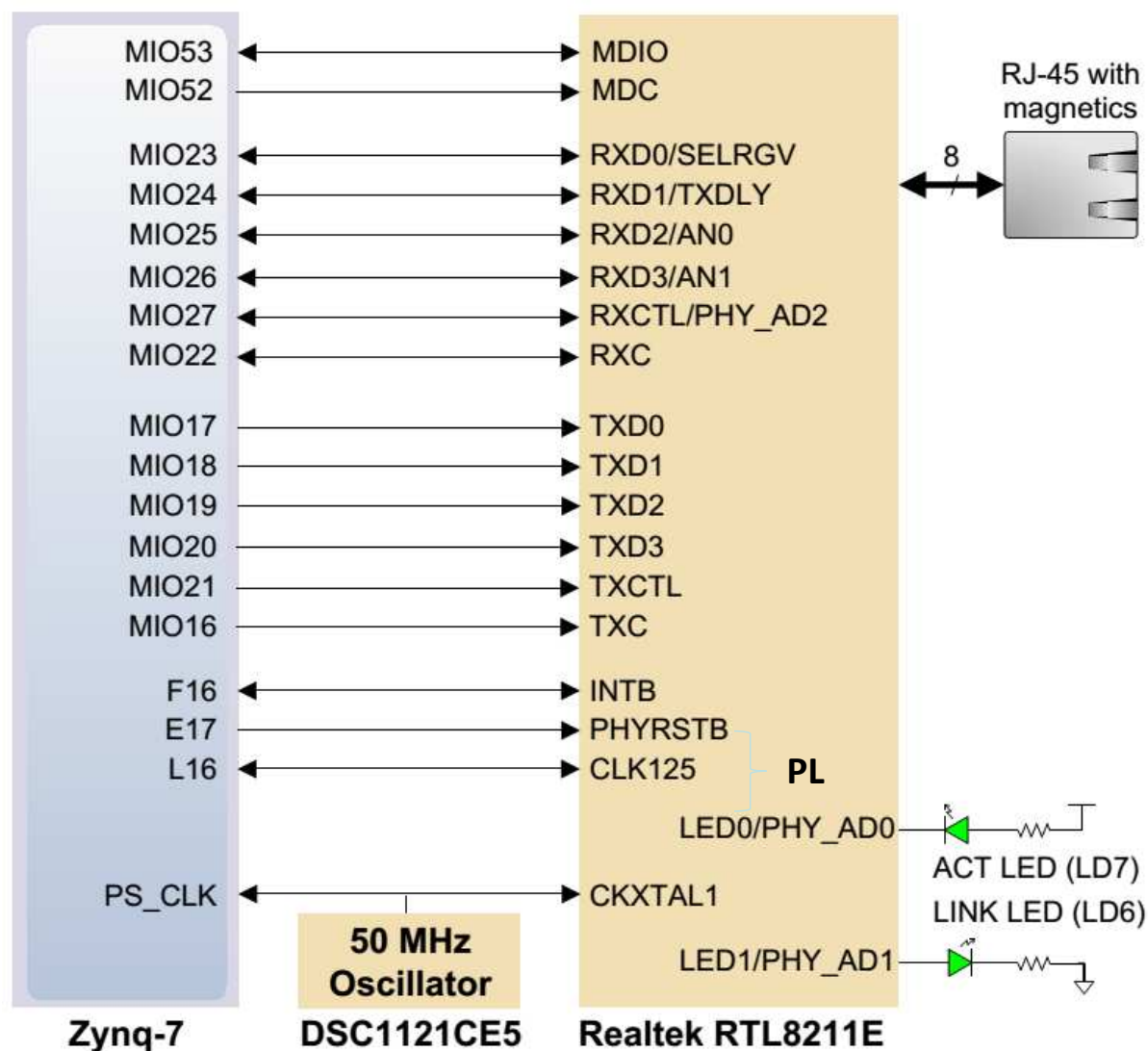
USB-UART

- FTDI USB-UART híd (J11): FT2232HQ típusú chip
 - Csomag kontroll: USB <-> soros UART
 - Protokoll beállítások: 115.200 baud rate, 1 stop bit, no parity, 8-bit adat
 - PS oldali elérés: MIO 48-49
 - Két funkció egyben: JTAG-UART + tápellátás is



Ethernet vezérlő

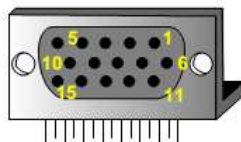
- Realtek RTL8211E-VL PHY : 10/100/1000 Mbit/s
 - RGMII átviteli mód, Gigabit Ethernet MAC



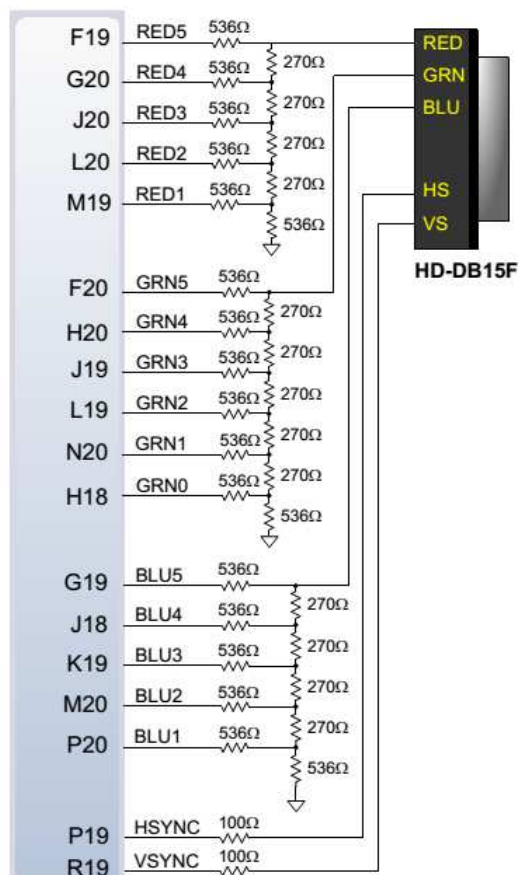
Video be-/kimenetek

- 1 VGA kimenet (16-bites színmélység: 5 Red, 6 Green, 5 Blue csatorna + HS, VS szinkronizációs jelek)
- 1 HDMI bemenet, vagy 1 HDMI kimenet (opcionálisan)

VGA



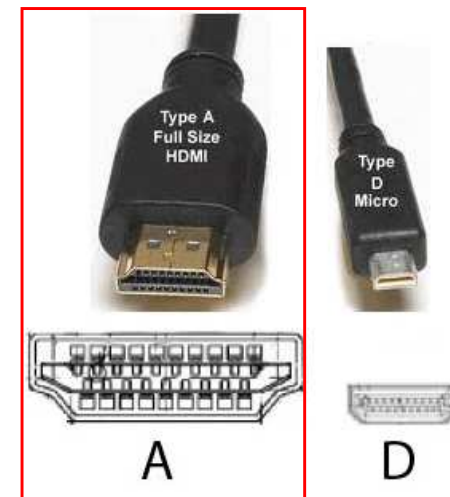
Pin 1: Red
Pin 2: Grn
Pin 3: Blue
Pin 13: HS
Pin 14: VS
Pin 5: GND
Pin 6: Red GND
Pin 7: Grn GND
Pin 8: Blu GND
Pin 10: Sync GND



Zynq-7

HDMI

- Bemenetként, vagy kimenetként konfigurálható HDMI port (PL)
 - Source / Sink mód
 - HDMI-A konnektor
- HDMI/DVI jelek kódolásához, dekódolásához nincs külön videó chip a kártyán, azaz FPGA logikában kell megvalósítani!

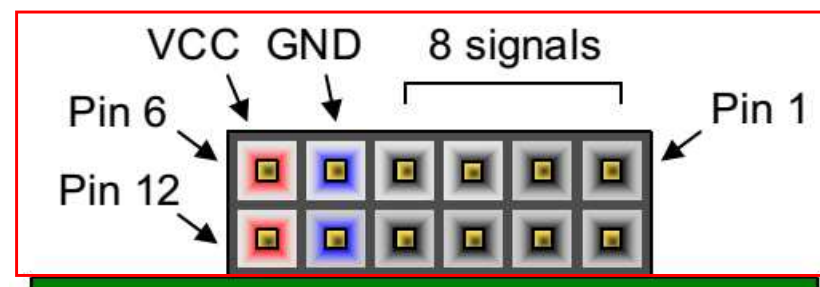


Audio

- Analog Devices SSM2603 audio codec
 - 8-96 KHz mintavétel
 - Monó mikrofon bemenet
 - Sztereó line-in bemenet
 - Sztereó kimenet (3.5 mm jack)
- PS alrendszerhez kapcsolódik I2C busz interfészen keresztül
 - De I2S protokollt használ az adatok továbbítására

PMOD – Periféria Modulok

- Összesen 6 db PMOD csatlakozó (egyenként 12 láb = 2 táp + 2 föld + 8 adatjel)
 - Standard PMOD: PL alrendszer érheti el (4 db modul)
 - MIO PMOD: PS alrendszer érheti el (1 db modul)
 - Dual A/D ([XADC](#)) PMOD: **PL (FPGA)** alrendszer használhatja (1 db modul):
 - 12 –bit A/D konverter, 1 MSPS



ARM

MicroBlaze

MicroBlaze / IBM PowerPC / ARM architektúrák

IV. XILINX „FPGA”-K BEÁGYAZOTT PROCESSZORAI

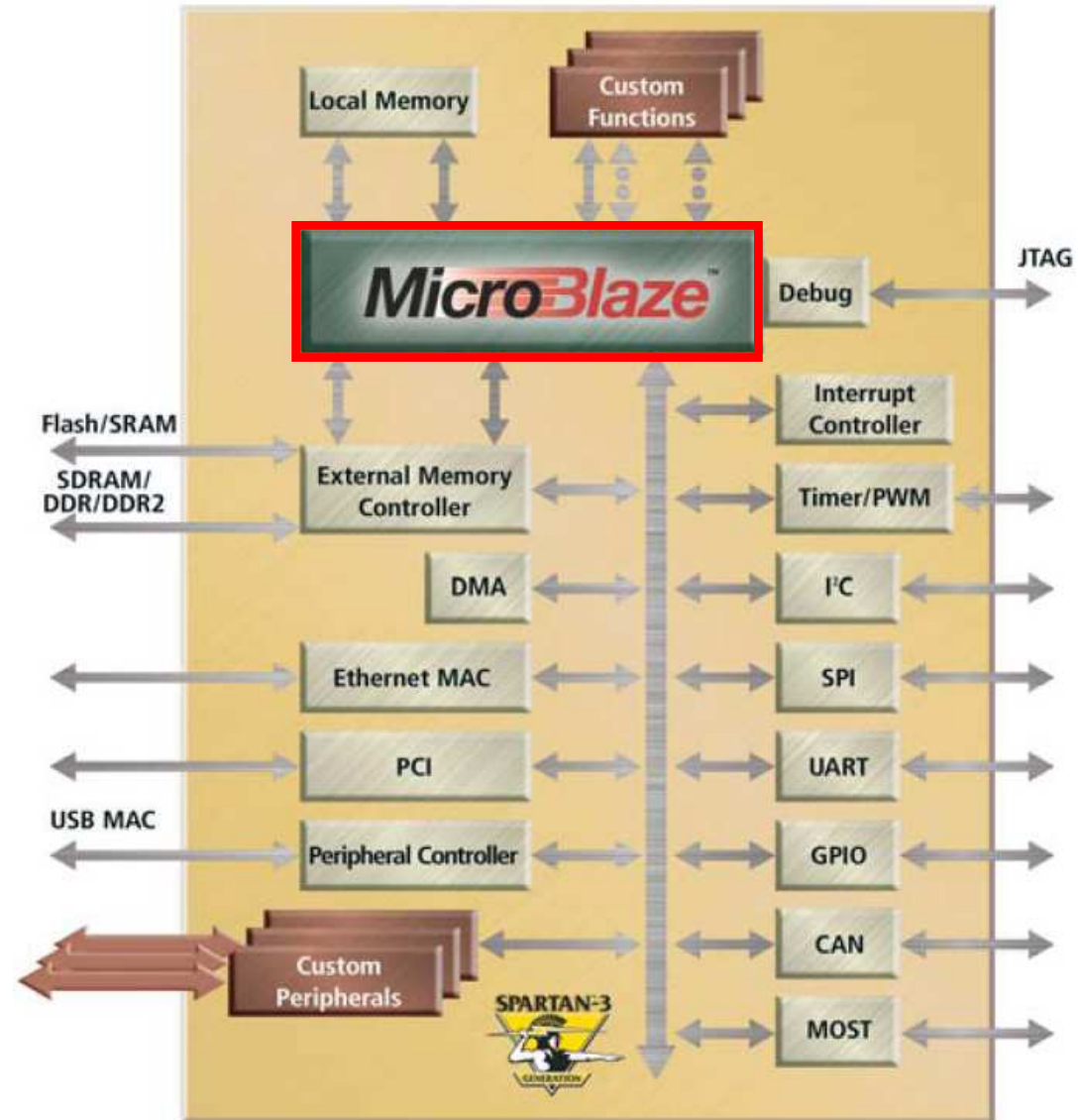
Beágyazott processzorok Xilinx FPGA-n

- „Beágyaz~~ható~~” szoft-processzor mag(ok):
 - Xilinx *PicoBlaze*: 8-bites (VHDL, Verilog HDL forrás)
 - Xilinx *MicroBlaze*: 32-bites (XPS – EDK/SDK támogatás!)*
 - PLB, OPB (régi), AXI buszrendszerekhez is csatlakoztatható
 - 3rd Party: nem-Xilinx gyártók processzorai (HDL):
 - [Opencores.org](http://opencores.org)
- „Beágyaz~~ott~~” hard-processzor mag(ok):
 - IBM *PowerPC* 405/450 processzor (dedikált): 32-bites (EDK/SDK támogatás), PLB buszrendszerhez integrálható
 - de kizárólag Virtex II Pro, Virtex-4 FX, Virtex-5 FXT FPGA-kon!
 - ARM *Cortex-A9* processzor (dedikált): ARM AMBA-AXI buszrendszerhez integrálható
 - Xilinx Zynq APSoC-n az FPGA logika mellé integrált ARM mag(ok)

MicroBlaze szoft-processzor mag

„Beágyazható” processzor*

- RISC utasítás készlet architektúra
- 32-bites szoft-processzor mag
- 133+ MHz órajel (PLB busz)
- Harvard blokk-architektúra
- Kis fogyasztás: ~ mW/MHz
- 3/5 lépcsős adatvonal pipe-line
- 32 darab 32-bites általános célú regiszter
- utasítás Cache / adat Cache
- Időzítési lehetőségek (timer)
- Sokféle periféria, kommunikációs interfész csatlakoztatható (IP core-ok)
- **Minden** Xilinx FPGA-n implementálható, melynek elegendő erőforrása van és a fejlesztő szoftver támogatja!

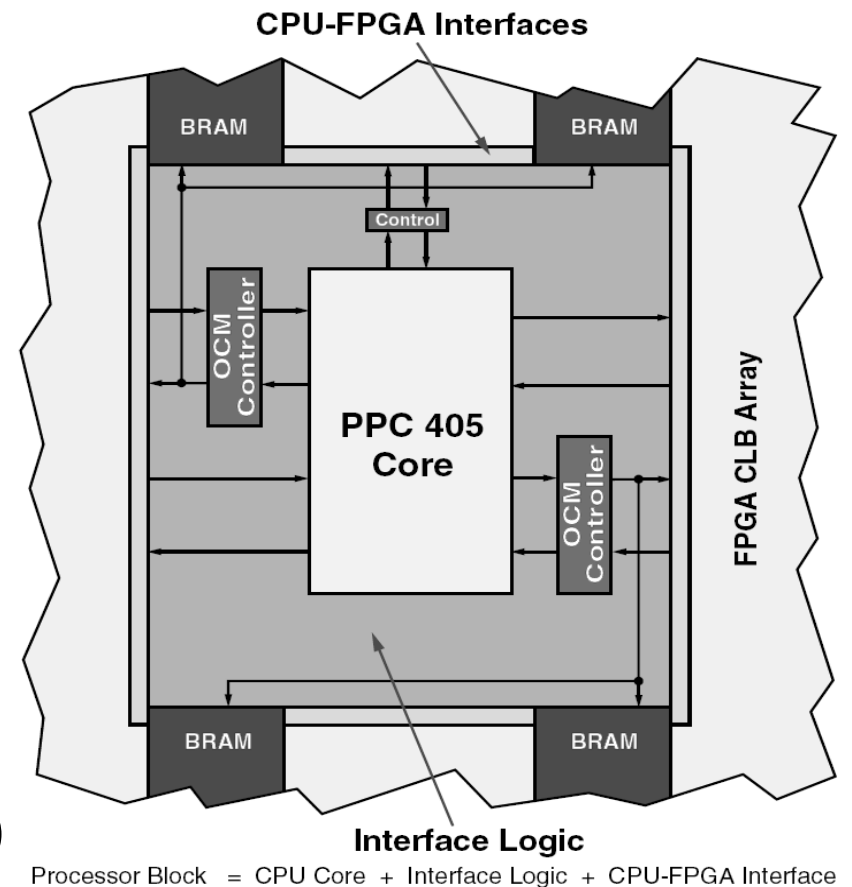


*Atlys / Nexys-2 kártyákon konfigurálható

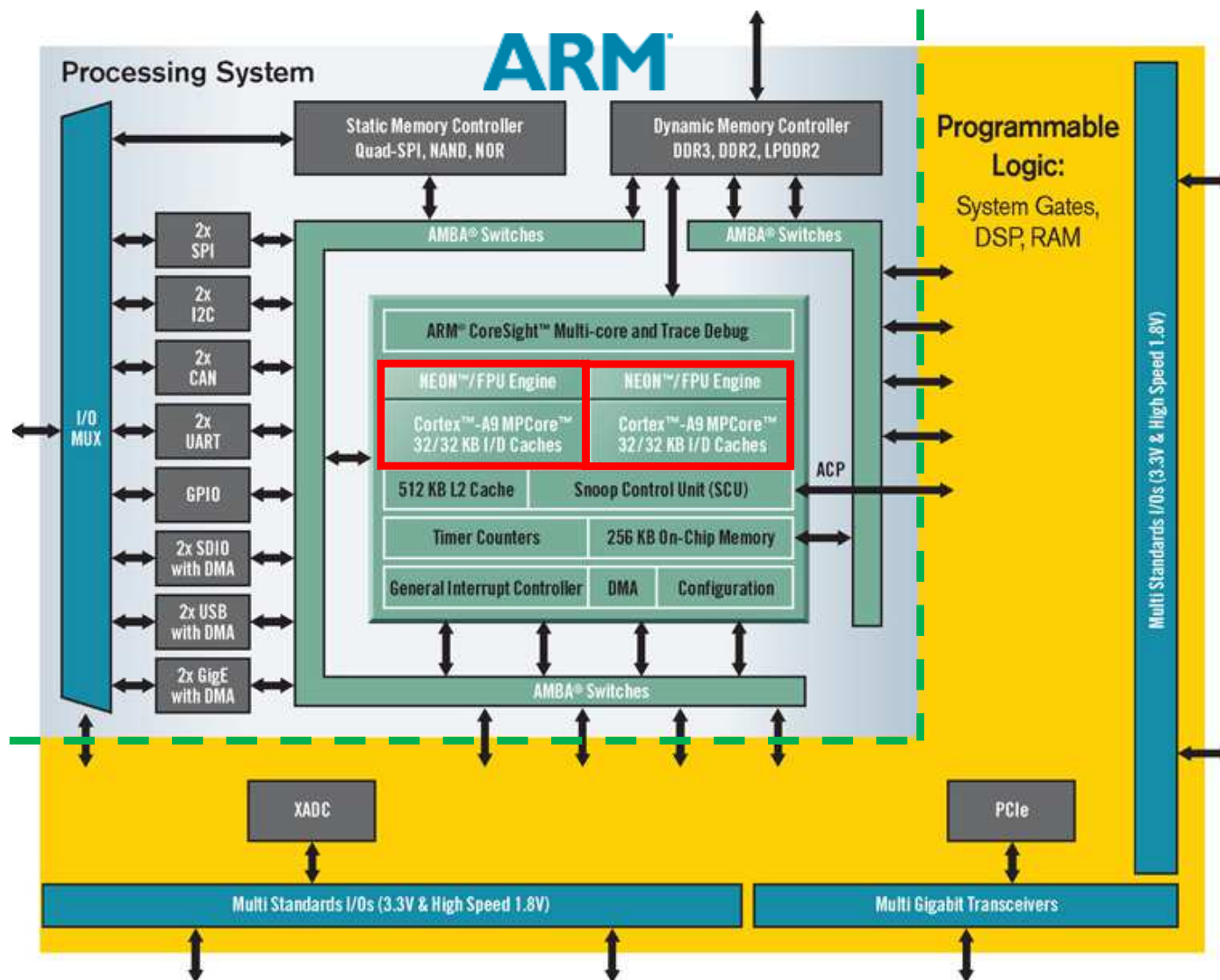
PowerPC - Hard-processzor mag

IBM PowerPC 405/450 blokk jellemzői:

- RISC utasítás készlet architektúra
- 32-bites Hard-processzor mag
- **Beágyazott 400+ MHz**
- Harvard blokk-architektúra (ma ~650 MHz Virtex6 FXT)
- Kis fogyasztás: 0.9 mW/MHz
- 5 lépcsős adatvonal pipe-line
- Hardveres szorzó/osztó egység
- 32 darab 32-bites Általános célú regiszter
- 16 KB 2-utas csoport asszociatív utasítás cache
- 16 KB 2-utas csoport asszociatív adat cache
- Memória Menedzsment egység (MMU)
- TLB: változtatható lap-méret (1 KB –től 16 MB-ig)
- Dedikált On-Chip Memória (OCM) interfész
- Időzítési lehetőségek (timer)
- Sokféle periféria, kommunikációs interfész csatlakoztatható (IP core-ok)
- Csak bizonyos FPGA-kon integrálva:
 - Virtex-II Pro, Virtex-4 FX, Virtex-5/6 FXT



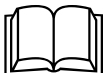
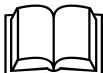
Xilinx Zynq APSoC – ARM hard-procессzor



- Dupla ARM Cortex™-A9 **beágyazott proc.** 650MHz - ZYBO)
- Neon: 32-/ 64-bit FPU
- 32kB utasítás & 32kB adat L1 Cache
- Közös 512kB L2 Cache
- 256kB on-chip memória
- Integrált DDR3, DDR2 and LPDDR2 DDR vezérlő
- Integrált 2x QSPI, NAND Flash and NOR Flash memória vezérlő
- Perifériák: 2x USB2.0 (OTG), 2x GbE, 2x CAN2.0B 2x SD/SDIO, 2x UART, 2x SPI, 2x I2C, 4x 32b GPIO, PCI Express® Gen2 x8
- Két 12-bit 1Msps ADC
- **28nm** Programozható FPGA Logika:
 - 28k - 350k Logikai cella (~ 430k to 5.2M ekvivalens kapu)
 - 240KB - 2180KB Block RAM
 - 80 - 900 18x25 DSP szorzó (58 - 1080 GMACS -DSP teljesítmény)

APSoC = All Programmable System-On-a-Chip

További ajánlott irodalom

-  Fontosabb FPGA gyártók oldalai:
 - <http://www.xilinx.com>
 - <https://www.intel.com/content/www/us/en/products/programmable.html>
 - <http://www.microsemi.com>
-  FPGA és Programmable Logic Journal:
 - <http://www.fpgajournal.com>
-  Xilinx FPGA Silicon Devices:
 - <http://www.xilinx.com/products/silicon-devices.html>